



IPW

Docket No.: 61282-062

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
Kenji MISUMI, et al.	:	Confirmation Number: 3944
Serial No.: 10/781,808	:	Group Art Unit: 2818
Filed: February 20, 2004	:	Examiner:
For: SEMICONDUCTOR NONVOLATILE STORAGE DEVICE	:	

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Japanese Patent Application No. JP 2003-044706, filed on February 21, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: May 24, 2004

10/781, 808

Kenji MISUMI, et al.

McDermott, Will & Emery

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 1 日
Date of Application:

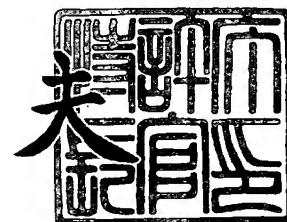
出 願 番 号 特 願 2 0 0 3 - 0 4 4 7 0 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 4 4 7 0 6]

出 願 人 松 下 電 器 産 業 株 式 会 社
Applicant(s):

2 0 0 3 年 1 1 月 2 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 6 6 4 8

【書類名】 特許願

【整理番号】 5038340123

【提出日】 平成15年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/02
G11C 16/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 三角 賢治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 藤原 淳

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 松浦 正則

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社

【氏名】 西本 敏夫

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647
【弁理士】
【氏名又は名称】 小栗 昌平
【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474
【弁理士】
【氏名又は名称】 本多 弘徳
【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589
【弁理士】
【氏名又は名称】 市川 利光
【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107
【弁理士】
【氏名又は名称】 高松 猛
【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343
【弁理士】
【氏名又は名称】 栗宇 百合子
【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体不揮発性記憶装置

【特許請求の範囲】

【請求項 1】 メモリセルトランジスタ素子に対して一定の書き込み時間を有する一時書き込み動作と、前記メモリセルトランジスタ素子に対する追加書き込み動作と、を選択する書き込み動作選択回路を備え、

前記書き込み動作選択回路の出力信号によって、前記追加書き込み動作時間を制御する書き込み時間制御回路を備えたことを特徴とする半導体不揮発性記憶装置。

【請求項 2】 前記一時書き込み動作により、前記メモリセルトランジスタ素子に書き込まれたデータを判別し、この判別したデータを前記追加書き込み動作に対する書き込みデータ保持回路に転送することを特徴とする請求項 1 に記載の半導体不揮発性記憶装置。

【請求項 3】 前記一時書き込み動作により前記メモリセルトランジスタ素子に、データが正常に書き込まれたことを判別するためのベリファイ動作を制御するベリファイ動作制御回路と、該ベリファイ動作制御回路の出力信号によって前記ベリファイ動作を実行するベリファイ回路と、を備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 4】 前記書き込み動作選択回路の出力信号によって、書き込み電圧の設定値を制御する書き込み電圧設定回路を備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 5】 前記追加書き込み動作を実行する前に消去動作を行うことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 6】 前記メモリセルトランジスタ素子に対して一定の消去時間を有する一次消去動作及び二次消去動作を選択する消去動作選択回路と、該消去動作選択回路の出力信号によって消去時間を制御する消去時間制御回路と、を備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 7】 前記一時書き込み後の一時読み出し動作と、前記追加書き込み後の読み出し動作と、を選択可能な読み出し動作選択回路を備えたことを特徴

とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 8】 前記読み出し動作選択回路の出力信号が接続され、該出力信号が一時読み出し動作を示す場合には、ワード線電圧の設定値を一時読み出し電圧に設定する読み出し電圧設定回路を備えたことを特徴とする請求項 7 に記載の半導体不揮発性記憶装置。

【請求項 9】 読み出しデータ判定時に前記メモリセルトランジスタ素子に流れる電流の判定基準となるリファレンス電流を流し、前記読み出し動作選択回路の出力信号によって、前記リファレンス電流の設定値を制御するリファレンス電流設定回路を備えたことを特徴とする請求項 7 に記載の半導体不揮発性記憶装置。

【請求項 1 0】 前記書き込みデータ保持回路が、ビット線毎あるいは数本のビット線に 1 つの割合で設けられたラッチと、前記ラッチと前記ビット線とを電氣的に分離するトランスファークロスタックと、を備え、

前記ビット線の電圧を検知するビット線電位検知回路と、該ビット線電位検知回路の出力によって、前記ラッチのデータを反転させるラッチ反転回路と、を備えたことを特徴とする前記請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 1 1】 メモリセルトランジスタアレイ内の書き込みブロック毎にデータの書き込みが行われ、前記追加書き込み動作の実行中に、書き込み命令が入力された場合には、前記追加書き込み動作の終了後、他の書き込みブロックに対する追加書き込み動作を実行せずに、前記書き込み命令の入力を許可する割り込み入力回路を備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 1 2】 前記追加書き込み動作の実行中に、書き込みデータの入力禁止を通知するレディー・ビジー出力回路を備えたことを特徴とする請求項 1 1 に記載の半導体不揮発性記憶装置。

【請求項 1 3】 メモリセルトランジスタアレイ内の書き込みブロック毎にデータの書き込みが、前記一時書き込み動作後、または、前記追加書き込み動作後のいずれであるかを書き込みブロック毎に記憶する書き込みフラグを備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 14】 前記書き込みフラグの情報によって、前記一時書き込み動作後の書き込みブロックに対して追加書き込みを行うように制御することを特徴とする請求項 13 に記載の半導体不揮発性記憶装置。

【請求項 15】 前記書き込みフラグの情報によって、読み出し動作時にワード線に印加する読み出し電圧を変更するワード線電圧切り替え回路を備えたことを特徴とする請求項 13 に記載の半導体不揮発性記憶装置。

【請求項 16】 複数の半導体不揮発性記憶装置のいずれかを選択し、かつ動作を制御するセレクトを備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【請求項 17】 前記追加書き込み動作の実行中に、書き込みデータの入力を禁止する命令を、前記セレクトに対して出力するレディー・ビジー出力回路を備えたことを特徴とする請求項 16 に記載の半導体不揮発性記憶装置。

【請求項 18】 さらに ECC 回路を備えたことを特徴とする請求項 2 に記載の半導体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電氣的に消去または書き込みが可能な半導体不揮発性記憶装置に関する。

【0002】

【従来の技術】

従来の半導体不揮発性記憶装置について、EEPROM を一例に挙げ、図面を参照して以下説明する。

図 23 に、上位装置からの書き込みに要する時間を短縮する従来の EEPROM (半導体不揮発性記憶装置) の構成図を示す。図 24 に、従来の EEPROM (半導体不揮発性記憶装置) の消去状態、書き込み状態におけるしきい値電圧分布図を示す。

【0003】

図 23 に示すように、上位装置からの書き込みに要する時間を短縮する構成の

一例として、EEPROM用インタフェース回路101とEEPROM1400とSRAM用インタフェース回路1301とSRAM1300とを備えた構成が用いられる。

【0004】

図23において、EEPROM1400は、メモリセルトランジスタアレイ110とセンスアンプ回路120と書き込みデータラッチ回路130とアドレスデコーダ回路140と高電圧制御回路150と制御回路160とを備え、SRAM1300には、メモリセルトランジスタアレイ1310とセンスアンプ回路1320とアドレスデコーダ回路1340と制御回路1360とを備えた構成となっている。

【0005】

次に、上記EEPROM1400における書き込み動作について説明する。

上位装置からの書き込み命令に対しては、SRAM用インタフェース回路1301を介して一旦SRAM1300に対して高速に書き込み、上位装置からの書き込み命令終了後に、SRAM1300に記憶したデータをSRAM用インタフェース回路1301、及び、EEPROM用インタフェース回路101を介してEEPROM1400に書き込みを実行する。SRAM1300、及び、EEPROM1400は従来の一般的な構成から成る。

【0006】

また、上位装置からの読み出し命令に対して、SRAM1300のデータを読み出すには、SRAM用インタフェース回路1301を介してデータの読み出しを行う。同様に、EEPROM1400のデータを読み出すには、EEPROM用インタフェース回路101を介してデータの読み出しを行う。

【0007】

以上の動作により、書き込み時には、一旦SRAM1300に高速に書き込みを行った後に、EEPROM1400にデータを書き込むことによって記憶データの不揮発性を実現していた。（例えば、特許文献1参照。）。

【0008】

【特許文献1】

特開平4-291644号公報(第2-3頁、第一図)

【特許文献2】

特開平4-337666号公報(第4頁、第一図)

【0009】

【発明が解決しようとする課題】

上記従来の半導体不揮発性記憶装置は、上位装置からの書き込みに要する時間を短縮するために、高速書き込みが可能な補助メモリ(SRAM等)を合わせ持つ必要があった。

このように、補助メモリ(SRAM等)を半導体不揮発性記憶装置であるLSI内部に設置した場合、LSIの面積増加が避けられないため、半導体不揮発性記憶装置の大幅なコスト増加を伴うという問題が生じていた。

【0010】

本発明は、前述した問題に鑑みてなされたものであり、その目的は、補助メモリ(SRAM等)を合わせ持つ必要が無いので大幅なコスト増加を伴うことなく、上位装置からの書き込みに要する時間を大幅に短縮することができる半導体不揮発性記憶装置を提供することである。

【0011】

【課題を解決するための手段】

上記課題を解決するために、本発明の請求項1に係る半導体不揮発性記憶装置は、メモリセルトランジスタ素子に対して一定の書き込み時間を有する一時書き込み動作と、前記メモリセルトランジスタ素子に対する追加書き込み動作と、を選択する書き込み動作選択回路を備え、前記書き込み動作選択回路の出力信号によって、前記追加書き込み動作時間を制御する書き込み時間制御回路を備えたことを特徴とする。

また、本発明の請求項2に係る半導体不揮発性記憶装置は、前記一時書き込み動作により、前記メモリセルトランジスタ素子に書き込まれたデータを判別し、この判別したデータを前記追加書き込み動作に対する書き込みデータ保持回路に転送することを特徴とする。

上記構成により、上位装置からの書き込み命令に対して、一旦は、初期の読み

出しが正常に動作するために最低限必要な一時書き込み動作のみを行うことで書き込み時間を短縮し、その後、半導体不揮発性記憶装置に書き込まれた一時書き込みデータをセンスアンプ回路を使用して書き込みデータラッチ回路に転送してから、この書き込みデータラッチ回路のデータを元に信頼性保証上必要な追加書き込み動作を行うことで信頼性を確保することが可能となる。

【0012】

本発明の請求項3に係る半導体不揮発性記憶装置は、前記一時書き込み動作により前記メモリセルトランジスタ素子に、データが正常に書き込まれたことを判別するためのベリファイ動作を制御するベリファイ動作制御回路と、該ベリファイ動作制御回路の出力信号によって前記ベリファイ動作を実行するベリファイ回路と、を備えたことを特徴とする。

上記構成により、メモリセルトランジスタや回路特性の製造ばらつきによる書き込み特性のばらつきを低減することが可能となり、一時書き込み動作において書き込み時間を必要最低限に抑えることが可能となる。

【0013】

本発明の請求項4に係る半導体不揮発性記憶装置は、前記書き込み動作選択回路の出力信号によって、書き込み電圧の設定値を制御する書き込み電圧設定回路を備えたことを特徴とする。

上記構成により、一時書き込み動作における書き込み電圧を追加書き込み動作における電圧に対して高く設定することが可能となり、一時書き込み動作における書き込み時間を短縮することが可能となる。

【0014】

本発明の請求項5に係る半導体不揮発性記憶装置は、前記追加書き込み動作を実行する前に消去動作を行うことを特徴とする。

上記構成により、一時書き込み動作により、消去状態のデータを保持したいメモリセルトランジスタのしきい値電圧が浅い消去状態になる場合には、前記一時書き込み動作を実行し、メモリセルトランジスタ素子に書き込まれたデータを判別し、この判別したデータを前記追加書き込み動作に対する書き込みデータ保持回路に転送し、追加書き込みを実行するメモリセルトランジスタアレイ内の書き

込みブロックに対して通常消去動作を実行した後に追加書き込み動作を実行することで、消去データ、及び、書き込みデータの信頼性を確保することが可能となる。

【0 0 1 5】

本発明の請求項 6 に係る半導体不揮発性記憶装置は、前記メモリセルトランジスタ素子に対して一定の消去時間を有する一次消去動作と、該一次消去動作よりも長い消去時間を有する二次消去動作を選択する消去動作選択回路と、該消去動作選択回路の出力信号によって消去時間を制御する消去時間制御回路と、を備えたことを特徴とする。

上記構成により、上位装置からの書き込み命令に対して、一旦は、初期の読み出しが正常に動作するために最低限必要な一次消去動作、及び、一時書き込み動作のみを行うことで消去時間、及び、書き込み時間を短縮し、その後、半導体不揮発性記憶装置に書き込まれた一時書き込みデータをセンスアンプ回路を使用して書き込みデータラッチ回路に転送してから、この書き込みデータラッチ回路のデータを元に信頼性保証上必要な二次消去動作、及び、追加書き込み動作を行うことで信頼性を確保することが可能となる。

【0 0 1 6】

本発明の請求項 7 に係る半導体不揮発性記憶装置は、前記一時書き込み後の一時読み出し動作と、前記追加書き込み後の読み出し動作と、を選択可能な読み出し動作選択回路を備えたことを特徴とする。

また、本発明の請求項 8 に係る半導体不揮発性記憶装置は、前記読み出し動作選択回路の出力信号が接続され、該出力信号が一時読み出し動作を示す場合には、ワード線電圧の設定値を一時読み出し電圧に設定する読み出し電圧設定回路を備えたことを特徴とする。

上記構成により、書き込み後のメモリセルトランジスタのしきい値電圧が消去後のメモリセルトランジスタのしきい値電圧よりも高い場合に、一時書き込みデータ読み出し電圧を、読み出し電圧に対して低い電圧に設定し、書き込み後のメモリセルトランジスタしきい値電圧が浅い状態であっても正しくデータを判別でき、さらに書き込み時間を短縮することが可能となる。

【0017】

本発明の請求項 9 に係る半導体不揮発性記憶装置は、読み出しデータ判定時に前記メモリセルトランジスタ素子に流れる電流の判定基準となるリファレンス電流を流し、前記読み出し動作選択回路の出力信号によって、前記リファレンス電流の設定値を制御するリファレンス電流設定回路を備えたことを特徴とする。

上記構成により、書き込み後のメモリセルトランジスタのしきい値電圧が消去後のメモリセルトランジスタのしきい値電圧よりも低い場合に、一時書き込みデータ読み出し時のリファレンス電流を追加書き込みデータの読み出し時のリファレンス電流よりも低く設定し、書き込み後のメモリセルトランジスタしきい値電圧が浅い状態であっても正しくデータを判別でき、書き込み時間を短縮することが可能となり、閾値電圧が低いトランジスタでより効果が得られる。

【0018】

本発明の請求項 10 に係る半導体不揮発性記憶装置は、前記書き込みデータ保持回路が、ビット線毎あるいは数本のビット線に 1 つの割合で設けられたラッチと、前記ラッチと前記ビット線とを電氣的に分離するトランスファークロスタックと、を備え、前記ビット線の電圧を検知するビット線電位検知回路と、該ビット線電位検知回路の出力によって、前記ラッチのデータを反転させるラッチ反転回路と、を備えたことを特徴とする。

上記構成により、選択されたメモリセルに対して、プログラムベリファイ動作、データ転送動作を一括して実行することが可能となり、プログラムベリファイ動作、データ転送動作を高速化することが可能となる。

【0019】

本発明の請求項 11 に係る半導体不揮発性記憶装置は、メモリセルトランジスタアレイ内の書き込みブロック毎にデータの書き込みが行われ、前記追加書き込み動作の実行中に、書き込み命令が入力された場合には、前記追加書き込み動作の終了後、他の書き込みブロックに対する追加書き込み動作を実行せずに、前記書き込み命令の入力を許可する割り込み入力回路を備えたことを特徴とする。

また、本発明の請求項 12 に係る半導体不揮発性記憶装置は、前記追加書き込み動作の実行中に、書き込みデータの入力禁止を通知するレディー・ビジー出力

回路を備えたことを特徴とする。

上記構成により、追加書き込み実行中には上位装置からはレディー・ビジー信号により書き込み命令を入力できない状態であることを認識することが可能で、また、上位装置から割り込み信号を入力することで次の書き込みブロックに対する追加書き込み動作を停止することで、上位装置の一時書き込み命令入力に対する待ち時間を短縮することが可能となる。

【0020】

本発明の請求項13に係る半導体不揮発性記憶装置は、メモリセルトランジスタアレイ内の書き込みブロック毎に対するデータの書き込みが、前記一時書き込み動作後、または、前記追加書き込み動作後のいずれであるかを書き込みブロック毎に記憶する書き込みフラグを備えたことを特徴とする。

また、請求項14に係る半導体不揮発性記憶装置は、前記書き込みフラグの情報によって、前記一時書き込み動作後の書き込みブロックに対して追加書き込みを行うように制御することを特徴とする。

上記構成により、一時書き込み動作と追加書き込み動作を併用したときでも、どの書き込みブロックが一時書き込み状態であるかを判別することができるため、追加書き込みは、一時書き込み状態の書き込みブロックのみに行うだけでよく、効率的な書き込み動作を行うことが可能となる。

【0021】

請求項15に係る半導体不揮発性記憶装置は、前記書き込みフラグの情報によって、読み出し動作時にワード線に印加する読み出し電圧を変更するワード線電圧切り替え回路を備えたことを特徴とする。

上記構成により、書き込みフラグ内のデータを読み出し時に事前に読み出し、一時書き込み状態のメモリセルであれば、前記ワード線電圧切り替え回路によりワード線に印加する読み出し電圧を変更することで、読み出し速度を速くすることができる。

このため、読み出しデータは、一時書き込みを行うことによって生じる、メモリセルの読み出し速度の差異を考慮することなく、通常と同じ読み出し速度で一時的書き込みデータの読み出しを実行することができる。

【0022】

請求項16に係る半導体不揮発性記憶装置は、複数の半導体不揮発性記憶装置のいずれかを選択し、かつ動作を制御するセクタを備えたことを特徴とする。

請求項17に係る半導体不揮発性記憶装置は、前記追加書き込み動作の実行中に、書き込みデータの入力を禁止する命令を、前記セクタに対して出力するレディー・ビジー出力回路を備えたことを特徴とする。

上記構成により、複数備えた内の一つの半導体不揮発性記憶装置に対する一時書き込みを実行後、追加書き込みを実行すると同時に、追加書き込み期間に他の半導体不揮発性記憶装置に対する一時書き込みを実行することで、データの書き込み時間に対する上位装置の待ち時間を短縮することが可能となる。

【0023】

請求項18に係る半導体不揮発性記憶装置は、さらにECC回路を備えたことを特徴とする。

上記構成により、一時書き込み後のしきい値電圧が浅く、消去データとしてセンスアンプ回路に判別されてしまうメモリセルトランジスタが有る場合にも、ECC回路で訂正可能なビット数であれば、訂正後のデータをデータ転送回路により書き込みデータ保持回路に転送し、正しいデータを追加書き込みすることが可能となる。

【0024】

上述のように本発明は、同一の不揮発性メモリセルトランジスタアレイに対する書き込み方式として、一時書き込み動作と追加書き込み動作の2種類を行うことが可能とすることで、上位装置からの書き込み命令に対しては一時書き込み動作により書き込み時間を短縮し、かつ、その後の追加書き込みによりデータの信頼性も確保することができるものである。

【0025】**【発明の実施の形態】**

本発明に係る各実施形態は、上位装置からの書き込みに要する時間を短縮するための補助メモリ（SRAM等）を備えなくても、上位装置から不揮発性半導体記憶装置への書き込みに要する時間を大幅に短縮することができるものであり、

以下、不揮発性半導体記憶装置である E E P R O M を例に挙げ詳細に説明する。

【0026】

(第1の実施形態)

本発明に係る第1の実施形態について図1、図2、図3に基づいて説明する。

図1は、第1の実施形態に係る E E P R O M の構成を示した図である。

図2は、第1の実施形態に係る E E P R O M における、(a) フローティングゲート型メモリセルトランジスタの断面図、(b) メモリセルトランジスタアレイの構成を示した図である。

図3は、第1の実施形態に係る E E P R O M における、(a) 書き込み状態しきい値電圧の書き込み時間依存性、(b) しきい値電圧分布を示した図、(c) メモリセル電流のワード線電圧依存性を示した図である。

【0027】

図1において、前述した図23に示す E E P R O M と同一機能の構成要素には同一の符号を付けて、その詳細な説明は省略する。ここでは構成が異なる部分のみを説明する。

【0028】

図1に示すように、E E P R O M 100は、前述の図23で示した構成と同様の構成(110~150)に加えて、制御回路160を有し、この制御回路160には、書き込み動作選択回路161と書き込み時間制御回路162が設けられている。

さらに、出力データ切り替え回路170と入力データ切り替え回路180が設けられており、この出力データ切り替え回路170の出力が書き込みデータ転送バスDB106を介して入力データ切り替え回路180に入力されている。

【0029】

メモリセルトランジスタの構造は、図2(a)に示すように、基板6内にソース4とドレイン5とが形成されている。そして、トンネル酸化膜3上にはフローティングゲート2が形成されており、さらに、ONO(Oxide-Nitride-Oxide)膜1aを介してコントロールゲート1が形成され、ワード線8が接続されている。上記トンネル酸化膜3に高電界を加えてトンネル電流を発生させてフローティン

ゲート 2 に蓄積される電子の引き抜き・注入を行うことでメモリセルのしきい値電圧を制御し、データの書き込み、消去動作を行う。

また、メモリセルトランジスタアレイは、図 2 (b) に示すように、複数のワード線 8 と複数のビット線 10 の交点にメモリセルトランジスタ素子 7 がマトリクス状に配置されている。メモリセルトランジスタ素子 7 のソースは、それぞれソース線 9 に接続されている。

【0030】

次に、EEPROM 100 における一時書き込み動作について説明する。

従来の技術における EEPROM への書き込み動作と同様に、110～150 に対して一時書き込み動作を行う。

このとき、本実施形態における一時書き込み動作では、上位装置からの書き込み命令の入力信号 S100 に対して、書き込み動作選択回路 161 が一時書き込み動作を選択することで、書き込み時間制御回路 162 が初期の読み出しが正常に動作するための必要最低限の書き込み時間を設定する。

【0031】

例えば、この書き込み時間 (t_p) は、図 3 (a)、図 3 (b)、図 3 (c) に示すように $t_p = 1\text{ms}$ であり、信頼性保証を考慮した通常書き込み時間 (例えば、 $t_p = 10\text{ms}$) に対して一桁程度の短い時間となる。

【0032】

書き込みに必要な高電圧は、書き込み動作の制御信号 S101 を受けた高電圧制御回路 150 により制御し、書き込みデータラッチ回路 130 とアドレスデコード回路 140 に供給する。書き込みデータはデータバス DB100、DB101 から入力データ切り替え回路 180 と書き込みデータバス DB102 を介して書き込みデータラッチ回路 130 に保持する。

【0033】

メモリセルトランジスタアレイ 110 内の書き込みを実行するアドレスに対して書き込みデータラッチ回路 130 とアドレスデコード回路 140 とから必要な高電圧を書き込み時間制御回路 162 が設定した時間だけ供給することによって、一時書き込み動作を行う。

【0034】

次に、本実施形態における追加書き込み動作について説明する。

従来の技術におけるEEPROMへの読み出し、及び、書き込み動作と同様に、110～150に対して追加書き込み動作を行う。

【0035】

このとき、本実施形態における追加書き込み動作は、上位装置からのデータ判別命令、データ転送命令、書き込み命令の入力信号S100に対して、制御回路160が各々に対して制御信号S101を出力し、メモリセルトランジスタアレイ110に一時書き込みされたデータをセンスアンプ回路120によって判別するデータ判別動作と、出力データ切り替え回路170、入力データ切り替え回路180とによって書き込みデータラッチ回路130に転送するデータ転送動作と、書き込み動作との3段階の動作によって構成される。

【0036】

次に、上記データ判別動作について説明する。センスアンプ回路120によるメモリセルトランジスタアレイ110のデータの判別には、一時書き込みされたデータによって変わるメモリセルトランジスタの電流値とセンスアンプ回路120内のリファレンス電流制御回路121が発生する一定のリファレンス電流(I_{ref})との差を用いる。

【0037】

例えば、アドレスデコーダ回路140によって選択されたメモリセルトランジスタのワード線にはアドレスバスAB102を介して2Vを印加し、ビット線DB103には1Vを印加する。

【0038】

このとき、選択されたメモリセルトランジスタのビット線10ーソース線9間に流れるドレイン電流は、ビット線DB104を介して、センスアンプ回路120に入力される。

【0039】

前記のドレイン電流は、選択されたメモリセルトランジスタのワード線電圧、ビット線電圧としきい値電圧等によって決定されるものである。センスアンプ回

路 120 からの出力データは、センスアンプ回路 120 内のリファレンス電流制御回路 121 が発生する一定のリファレンス電流（例えば、 $I_{ref} = 20 \mu A$ ）とドレイン電流とを比較し、リファレンス電流に比べてドレイン電流の方が多い場合はデータ“1”、ドレイン電流の方が少ない場合はデータ“0”となる。

【0040】

次に、データ転送動作について説明する。

データ判別動作によってセンスアンプ回路 120 から出力されたデータは読み出しデータ転送バス DB105、出力データ切り替え回路 170、書き込みデータ転送バス DB106、入力データ切り替え回路 180、書き込みデータバス DB102 を介して、書き込みデータラッチ回路 130 に入力され保持される。

【0041】

なお、一時書き込みされたデータを読み出し、EEPROM100 の外部に対して出力するには、上位装置からの読み出し命令の入力信号 S100 に対して制御回路 160 から制御信号 S101 を出力し、データ判別動作は前記と同様に行い、センスアンプ回路 120 の出力を読み出しデータ転送バス DB105、出力データ切り替え回路 170、データバス DB107 を介して出力する。

【0042】

次に、書き込み動作について説明する。

データ転送動作によって書き込みデータラッチ回路 130 に保持されたデータを元に書き込み動作を行うことと、書き込み時間制御回路 162 が設定する書き込み時間が、前記の一時書き込み動作における書き込み時間より長く、通常の信頼性保証を考慮した書き込み時間に設定されていること以外は、前記の一時書き込み動作において説明したものと同様の動作を有する。

【0043】

以上のデータ判別動作、データ転送動作、書き込み動作を上位装置からの命令の入力信号 S100 に対して実行することにより、メモリセルトランジスタアレイ 110 に一時書き込みされているデータの追加書き込みを実行する。

【0044】

以上の動作により、上位装置から EEPROM100 への書き込み命令に対し

て、初期の読み出しが正常に動作するための必要最低限の書き込み時間で一時書き込みを実行後、EEPROM100への一時書き込みデータの追加書き込み動作を行うことで、大幅なコスト増加をすることなく、上位装置からEEPROM100への書き込みに要する時間を大幅に短縮することができる半導体不揮発性記憶装置を得ることを特徴としている。

【0045】

(第2の実施形態)

以下、本発明に係る第2の実施形態について図4、図5に基づいて説明する。

図4は、第2の実施形態によるEEPROMの構成図である。

図5は、第2の実施形態による、(a)しきい値電圧分布を示した図、(b)しきい値電圧分布を示した図(ベリファイ動作実行時)である。

【0046】

図4に示すように、EEPROM200は、ワード線電圧制御回路241、ベリファイ動作制御回路262、ベリファイ回路290、ワード線電圧制御信号S200、ベリファイ判定結果出力信号S201、ベリファイ用データバスDB200、DB201のみが第1の実施形態と異なり、それ以外は、本発明に係る第1の実施形態において説明した同符号のものと同様の構成を有する。

【0047】

前記一時書き込み後のメモリセルトランジスタのしきい値電圧は、メモリセルトランジスタや回路特性の製造ばらつきによる書き込み特性のばらつきにより影響される。一時書き込み動作における書き込み時間(例えば、 $t_p = 1\text{ms}$)を固定にする場合、製造ばらつきを考慮して図5(a)のような $t_p = 1\text{ms}$ では読み出し電圧に対して書き込み後のしきい値電圧の深さが不十分な場合を考慮して書き込み時間を決定する必要がある。

【0048】

すると、全ての製品において一時書き込み時間を長く設定することになる。そこで、本発明においては、一時書き込みにおいて、ベリファイ動作を実行することによって、製品毎に必用最小限の書き込み時間で一時書き込み動作後のしきい値電圧を確保する。

【0049】

したがって、前記一時書き込み動作によりメモリセルトランジスタ素子にデータが正常に書き込まれたことを判別するためのベリファイ動作を制御するベリファイ動作制御回路を備え、前記ベリファイ動作制御回路の出力信号によって前記ベリファイ動作を実行するベリファイ回路を備えることで、メモリセルトランジスタや回路特性の製造ばらつきによる書き込み特性のばらつきを低減することが可能となり、一時書き込み動作において書き込み時間を必要最低限に抑えることが可能となる。

【0050】

(第3の実施形態)

以下、本発明に係る第3の実施形態について図6、図7に基づいて説明する。

図6は、第3の実施形態によるEEPROMの構成図である。

図7は、第3の実施形態による、(a)書き込み状態しきい値電圧の書き込み時間依存性と書き込み電圧依存性を示した図、(b)しきい値電圧分布図を示した図、(c)メモリセル電流のワード線電圧依存性を示した図である。

【0051】

図6に示すように、EEPROM300は、書き込み電圧設定回路362、ワード線電圧制御信号S300、ビット線電圧制御信号S301のみが本発明の第1の実施形態と異なり、それ以外は、本発明の第1の実施形態において説明した同符号のものと同様の構成を有する。

【0052】

前記書き込み動作選択回路161の出力信号によって書き込み電圧の設定値を制御する書き込み電圧設定回路362を備えることで、一時書き込み動作における書き込み電圧を追加書き込み動作における電圧に対して高く設定することが可能となり、一時書き込み動作における書き込み時間を短縮することが可能となる。

【0053】

例えば、追加書き込み動作時の書き込み用高電圧を V_{PP} [V] とし、一時書き込み動作時の書き込み用高電圧を $V_{PP} + 1$ [V] とすると、図7 (a) のよ

うに書き込み後のしきい値電圧の目標値が4 [V] で同じ場合、 $V_{PP} + 1$ [V] の一時書き込みの方が一桁短い書き込み時間で4 [V] に到達できる。

【0054】

なお、一時書き込み用高電圧を上げた場合、一時書き込み動作により、消去状態のデータを保持したいメモリセルトランジスタのしきい値電圧が浅い書き込み状態になる場合には、前記一時書き込み動作を実行し、メモリセルトランジスタ素子に書き込まれたデータを判別し、この判別したデータを前記追加書き込み動作に対する書き込みデータ保持回路に転送し、追加書き込みを実行するメモリセルトランジスタアレイ内の書き込みブロックに対して消去動作を実行した後に追加書き込み動作を実行することで、消去データ、及び、書き込みデータの信頼性を確保することが可能となる。

【0055】

(第4の実施形態)

以下、本発明に係る第4の実施形態について図8、図9に基づいて説明する。

図8は、第4の実施形態によるEEPROMの構成図である。

図9は、第4の実施形態によるしきい値電圧分布図を示した図である。

【0056】

図8に示すように、EEPROM400は、消去動作選択回路461、消去時間制御回路462、消去動作選択信号S400のみが本発明の第1の実施形態と異なり、それ以外は、本発明の第1の実施形態において説明した同符号のものと同様の構成を有する。

【0057】

メモリセルトランジスタ素子に対して一定の消去時間を有する一次消去動作と、前記消去動作よりも長い消去時間を有する二次消去動作を選択する消去動作選択回路461を備え、前記消去動作選択回路の出力信号によって消去時間を制御する消去時間制御回路462を備えることで、上位装置からの書き込み命令に対して、一旦は、初期の読み出しが正常に動作するために最低限必要な一次消去動作、及び、一時書き込み動作のみを行うことで消去時間、及び、書き込み時間を短縮し、その後、EEPROM400に書き込まれた一時書き込みデータをセン

スアンプ回路を使用して書き込みデータラッチ回路に転送してから、この書き込みデータラッチ回路のデータを元に信頼性保証上必要な二次消去動作、及び、追加書き込み動作を行うことで信頼性を確保することが可能となる。

【0058】

(第5の実施形態)

以下、本発明に係る第5の実施形態について図10、図11に基づいて説明する。

図10は、第5の実施形態によるEEPROMの構成図である。

図11は、第5の実施形態による、(a)書き込み状態しきい値電圧の書き込み時間依存性を示した図、(b)しきい値電圧分布を示した図である。

【0059】

図10に示すように、EEPROM500は、読み出し動作選択回路561、読み出し電圧設定回路562、ワード線電圧制御信号S500のみが本発明の第1の実施形態と異なり、それ以外は、本発明の第1の実施形態において説明した同符号のものと同様の構成を有する。

【0060】

前記一時書き込み後のデータの読み出し動作と前記追加書き込み後のデータの読み出し動作を選択可能な読み出し動作選択回路561を備え、前記読み出し動作選択回路の出力信号によって、読み出し時のワード線電圧の設定値を前記出力信号が一時読み出し動作の場合には一時書き込みデータ読み出し電圧(V_{rtmp})とし、前記出力信号が読み出し動作の場合には読み出し電圧(V_r)とする読み出し電圧設定回路562を備えることで、書き込み後のメモリセルトランジスタのしきい値電圧が消去後のメモリセルトランジスタのしきい値電圧よりも高い場合に、一時書き込みデータ読み出し電圧(例えば $V_{rtmp} = 3$ [V])を読み出し電圧($V_r = 4$ [V])に対して低い電圧に設定し、書き込み後のメモリセルトランジスタしきい値電圧が浅い状態であっても正しくデータを判別でき、書き込み時間を短縮することが可能となる。

【0061】

なお、 $V_{rtmp} < V_r$ とすることにより、一時書き込みデータ読み出し電圧

V_{rtmp} を使用する一時書き込みデータの読み出し動作時には、読み出し動作時のワード線電圧よりも低い電圧をワード線電圧制御回路 141 からワード線 AB102 に供給すればよいため、読み出し動作よりも低消費での動作が可能となる。

【0062】

以下、本発明に係る第 6 の実施形態について図 12、図 13、図 14 に基づいて説明する。

図 12 は、第 6 の実施形態による EEPROM の構成図である。

図 13 は、第 6 の実施形態による、(a) しきい値電圧分布図、(b) 書き込み状態しきい値電圧の書き込み時間依存性と書き込み電圧依存性を示した図である。

図 14 は、第 6 の実施形態による、(a) メモリセル電流のワード線電圧依存性を示した図、(b) メモリセル電流のワード線電圧依存性を示した図である。

【0063】

図 12 に示すように、EEPROM 600 は、リファレンス電流設定回路 662、リファレンス電流設定信号 S600 のみが本発明の第 1 の実施形態、または、第 5 の実施形態と異なり、それ以外は、本発明の第 1 の実施形態、または、第 5 の実施形態において説明した同符号のものと同様の構成を有する。

【0064】

書き込み後のメモリセルトランジスタのしきい値電圧が消去後のメモリセルトランジスタのしきい値電圧よりも低い場合に、第 5 の実施形態のように、 V_{rtmp} を浅い書き込み後のしきい値電圧に対応させて $V_{rtmp} > V_r$ としてしまうと、一時書き込みデータ読み出し電圧 V_{rtmp} を使用する一時書き込みデータの読み出し動作時には、読み出し動作時のワード線電圧よりも高い電圧をワード線電圧制御回路 141 からワード線 AB102 に供給する必要があり、読み出し動作よりも消費電力が多くかかってしまう。

【0065】

このため、読み出しデータ判定時にメモリセルトランジスタに流れる電流の判定基準となるリファレンス電流を備え、前記読み出し動作選択回路 561 の出力

信号によって、読み出し時のリファレンス電流の設定値を制御するリファレンス電流設定回路 662 を備えることで、書き込み後のメモリセルトランジスタのしきい値電圧が消去後のメモリセルトランジスタのしきい値電圧よりも低い場合には、一時書き込みデータ読み出し時のリファレンス電流を追加書き込みデータの読み出し時のリファレンス電流よりも低く設定し、図 14 (b) のように書き込み後のメモリセルトランジスタしきい値電圧が浅い状態であっても正しくデータを判別できることで、書き込み時間を短縮することが可能となる。

【0066】

(第 7 の実施形態)

以下、本発明の第 7 の実施形態について図 15、図 16、図 17 に基づいて説明する。

図 15 は、第 7 の実施形態による EEPROM の構成図である。

図 15 に示すように、EEPROM 700 は、書き込みデータラッチ回路 730、ビット線電位検知回路 740、ラッチ反転回路 750、ラッチ反転信号 702 を有している。

【0067】

図 16 は、EEPROM 700 の書き込みデータラッチ回路 730、ビット線電位検知回路 740 およびラッチ反転回路 750 の構成を示す回路図である。

図 16 に示すように、EEPROM 700 の書き込みデータラッチ回路 730 は、ラッチ 731 と、ビット線 BL0 とラッチ 731 を電氣的に分離するトランスファークロスタック 732 と、トランスファークロスタック 732 を構成する Pch トランジスタ MPT0 を駆動するインバータ INVT で構成される。

【0068】

ビット線電位検知回路 740 は、NOR の論理を持ち、一方の入力はビット線 BL0 に、もう一方の入力は制御信号 742 に接続され、制御信号 742 が “L” かつビット線 BL0 の電位がビット線電位検出回路の反転点よりも下がったときにラッチ反転信号 702 に “H” を出力する。

【0069】

ラッチ反転回路 750 は、ラッチ 731 のノード NODE0 をグランドに接続

するトランジスタMNR0、ノードNODE1をグランドに接続するトランジスタMNR1、これらのトランジスタをデータ転送信号751とラッチ反転信号702で制御するためのインバータINVR、NORゲートNORR、ANDゲートANDRで構成される。

【0070】

上述のEEPROM700の動作を説明する。プログラム・プログラムベリファイ動作、データ転送動作以外は、第1の実施形態のEEPROM100と同様であるので、ここではプログラムベリファイ動作、データ転送動作について説明する。

【0071】

まず、プログラム動作およびプログラムベリファイ動作を図16を用いて説明する。プログラム動作では、まず、プログラムデータが、ラッチ731にセットされる。

プログラムを行うメモリセルに接続されたラッチのNODE0は“H”レベルの状態を、プログラムされないメモリセルに接続されたラッチのNODE0は“L”レベルを保持している。メモリセルへプログラムを行うために、まずVPPの電圧をプログラム電圧に設定する。次にトランスファergeートの制御信号TFGを活性化しビット線BL0とラッチ731を電氣的に接続する。この動作と同じタイミングで選択されたメモリセルのワード線を選択する。

【0072】

ここで、ラッチ731のデータが“H”であれば接続されたビット線BL0にはプログラム電圧が供給され、選択されたメモリセルに対してプログラムが行われる。ラッチ731のデータが“L”であればビット線BL0の電位は0Vとなるため、選択されたメモリセルにはプログラムが行われない。

【0073】

次に、プログラムベリファイ動作について説明する。

ただし、ここでは消去状態のメモリセルはしきい値電圧が高く、書き込み状態のメモリセルはしきい値電圧が低い場合を例に説明する。

プログラムベリファイ動作では、データ転送信号751は“L”に固定し、V

PPの電圧レベルはベリファイ電圧であるVDDに設定する。次にトランスファークゲート732をアクティブにし、ラッチ731に“H”が保持されているビットのみビット線をVDDにプリチャージする。

【0074】

プリチャージが完了した時点で、トランスファークゲートを非アクティブにするとともに、選択メモリセルのワード線にプログラムベリファイ電圧を印加する。このとき、メモリセルのプログラムが適正に行われていれば僅かにメモリセル電流が流れ、プリチャージされたビット線の電荷をディスチャージする。

【0075】

一定期間メモリセル電流を流した後、ビット線電位検知回路の制御信号742を“L”とすると、ビット線BL0の電位は、ビット線電位検知回路740の反転点を越え、ラッチ反転信号702が“H”になる。データ転送信号751は“L”であるのでトランジスタMNR0がオンし、NODE0はグランドに接続され、“H”に保持されていたラッチ731は“L”に書き換えられる。

【0076】

適正にプログラムが行われていなければビット線に電流は流れず、ラッチのデータは書き換えられない。ラッチのデータが書き換えられれば“L”を保持し、それ以降ビット線にプログラム電圧、およびプログラムベリファイ電圧は印加されない。

【0077】

このとき、選択ワード線の電圧を一時書き込みベリファイワード線電圧と追加書き込みベリファイワード線電圧の2種類の設定を行うことにより、一時書き込みベリファイと追加書き込みベリファイを同一回路で実現できる。

【0078】

例えば、一時書き込みベリファイワード線電圧を3.0V、追加書き込みベリファイワード線電圧を1.5Vとするとメモリセルのしきい値分布は図17のようになる。

【0079】

次に、データ転送動作について説明する。データ転送動作時は、データ転送信

号 751 が “H” に固定される。まず、全てのラッチ (NODE 0) に “L” をセットする。

【0080】

次に、選択ワード線電圧を一時書き込みベリファイワード線電圧に設定し、すべてのビット線を VDD にプリチャージした後、プログラムベリファイ動作と同じ動作を実行する。

【0081】

メモリセルが一時書き込み状態の場合、ビット線電位検知回路 740 の出力のラッチ反転信号 702 は “H” になり、トランジスタ MNR1 がオンし、NODE 1 が “L” に、NODE 0 が “H” にセットされる。メモリセルが消去状態の場合、ラッチ反転信号 702 は “L” になり、NODE 0 には “L” が保持される。これにより、データ転送動作が完了する。

【0082】

以上のように本実施形態によれば、ビット線毎にビット線電位検知回路 730 とラッチ反転回路 750 を設け、ワード線によって選択される全てのメモリセルに対してプログラムベリファイ動作、データ転送動作を一括して行うことが可能になり、プログラムベリファイ動作、データ転送の高速化が可能となる。

【0083】

例えば、データバス DB107 のバス幅が 32 ビットでセンスアンプ回路 120 の数が 32 個設けられており、ビット線数が 1024 本でビット線 16 本に 1 つのセンスアンプが設けられている構成の場合、センスアンプを用いてデータ転送を行うよりもデータ転送動作にかかる時間は 32 分の 1 に短縮される。

【0084】

また、センスアンプは、負荷の大きいデータバス DB107 を高速で駆動できるように設計されるため、動作時の消費電流が大きくなる。ビット線電位検知回路 740 はラッチ反転回路 750 を駆動するのみであるので、データ転送動作時の消費電流を大幅に低減することが可能となる。

【0085】

(第 8 の実施形態)

以下、本発明に係る第 8 の実施形態について図 18 に基づいて説明する。

図 18 は、第 8 の実施形態による E E P R O M の構成図である。

【0086】

図 18 に示すように、E E P R O M 800 は、レディー・ビジー出力／割り込み入力回路 863、レディー・ビジー出力／割り込み入力制御信号 S 800、レディー・ビジー出力信号 S 801、書き込み時間制御信号 S 802 のみが本発明の第 1 の実施形態と異なり、それ以外は、本発明の第 1 の実施形態において説明した同符号のものと同様の構成を有する。

【0087】

前記追加書き込み動作中は、入力データ切り替え回路 180 は書き込みデータ転送バス DB 106 の入力を取り込んで書き込みデータラッチ回路 130 に出力するため、新たな書き込みデータを書き込みデータバス DB 101 から取り込むことができない。このため、追加書き込み動作中は、書き込み命令の入力を禁止していることを上位装置に対して出力するレディー・ビジー出力回路を備える。

【0088】

また、前記追加書き込み動作の実行中に、書き込み命令が入力された場合には、前記追加書き込み動作実行中の書き込みブロックに対する前記追加書き込み動作が終了後、他の書き込みブロックに対する追加書き込み動作を実行せずに書き込み命令の入力を許可する割り込み入力回路を備える。

【0089】

これにより、追加書き込み実行中には上位装置からはレディー・ビジー信号により書き込み命令を入力できない状態であることを認識することが可能で、また、上位装置から割り込み信号を入力することで次の書き込みブロックに対する追加書き込み動作を停止し、追加書き込み停止後には上位装置からの書き込み命令を入力可能とすることで上位装置の一時書き込み命令入力に対する待ち時間を短縮することが可能となる。

【0090】

(第 9 の実施形態)

以下、本発明の第 9 の実施形態について図 19 に基づいて説明する。

図19は、第9の実施形態によるEEPROMの構成図である。

【0091】

図19に示すように、EEPROM900は、書き込みフラグ990、書き込みフラグ読み出しデータバスDB909のみが本発明の第1の実施形態と異なり、それ以外は、本発明の第1の実施形態において説明した同符号のものと同様の構成を有する。

【0092】

EEPROM900は、外部からの信号により制御され、データの記憶・読み出しを行う。160は制御回路であり、EEPROM900の読み出しや書き込み動作を制御する。863はレディー・ビジー出力／割り込み入力回路であり、前記EEPROMが動作を行っているかどうかを外部に知らせ、外部から割り込み信号処理が入った場合は、現在行っている動作が終了した時点で外部からの動作命令を受け付けるように制御する。

【0093】

161は書き込み動作選択回路であり、前記EEPROM900への書き込み時に、通常書き込み動作、または、前記通常書き込み動作に対してより短い時間での書き込み動作のどちらかの動作を選択し、動作を制御する。162は書き込み時間制御回路であり、書き込み動作選択回路161の動作選択を受けて、前記通常書き込み動作時間、または前記通常書き込み動作に対してより短い時間での書き込み動作時間を制御する。

【0094】

110はメモリセルトランジスタアレイであり、電氣的に消去又は書き込みが可能である。990は書き込みフラグであり、書き込み動作選択回路161により選択された、通常書き込み動作、または、前記通常書き込み動作に対してより短い時間での書き込み動作のどちらで書き込みを行ったかを書き込みブロック単位ごとに記憶する。

【0095】

150は高電圧制御回路であり、前記制御回路160から入力される制御信号を受けて前記メモリセルトランジスタアレイ110の消去又は書き込み用高電圧

を制御する。140はアドレスデコード回路であり、前記メモリセルトランジスタアレイ110を選択して消去又は書き込み動作時に前記高電圧制御回路150から入力される高電圧を前記メモリセルトランジスタアレイ110に印加する。

【0096】

120はセンスアンプ回路であり、前記メモリセルトランジスタアレイ110のデータおよび書き込みフラグ990の読み出しを行う。130はデータラッチ回路であり、前記メモリセルトランジスタアレイ110に書き込むデータおよび、前記書き込みフラグ990に書き込むデータを一時保持する。

【0097】

180は入力データ切り替え回路であり、前記センスアンプ回路120からの出力データと前記制御回路160からの書き込みデータのどちらかを書き込みデータラッチ回路130に入力するための制御を行う。170は出力データ切り替え回路であり、前記センスアンプ回路120から出力されたデータを外部へ出力させるか、または前記入力データ切り替え回路180に出力させるかを切り替える。

【0098】

したがって、書き込みフラグ990によって前記メモリセルトランジスタアレイ110に書き込まれた状態が通常書き込み状態か、通常書き込み動作に対して短い時間での一時書き込み動作のどちらかであるかを書き込みブロック単位ごとに管理することができ、書き込みフラグ990の状態を読み出すことにより、ある書き込みブロック単位のメモリセルトランジスタアレイ110に対して、追加書き込みが必要か不要かを判別することができる。

【0099】

このため、通常書き込み動作に対して短い時間での一時書き込み動作を行った、メモリセルトランジスタアレイ110の書き込みブロックのみに対して、追加でデータを書き込む動作を行うことができる。

【0100】

以下に、この動作シーケンスを説明する。上位装置から一時書き込み動作をメモリセルトランジスタアレイ110の全書き込みブロックに対して行う時、同時

にEEPROM900は、書き込みフラグ990に対しても、一時書き込みであるという情報を書き込む。

【0101】

次に、上位装置が他の動作を行っている間、制御回路160がそれを検知して、EEPROM900は追加の書き込み動作をバックグラウンドで行う。これは、あるアドレスの書き込みフラグ990のデータを読み出し、制御回路160が一時書き込みのデータであるということを判別すると、このアドレスのデータを出力データ切り替え回路170および入力データ切り替え回路180を通して、書き込みデータラッチ回路130にデータを送り、追加書き込み動作を行う。この追加書き込み動作を行うことで、メモリセルトランジスタアレイ110には、より確実にデータが書き込まれることになる。

【0102】

また、追加書き込みを行うと同時に、書き込みフラグ990には、通常の書き込みであるという情報が書き込まれる。ここで、上位装置がEEPROM900に対して読み出し命令を入力信号S100から送ると、EEPROM900は、まだ一時書き込みしかできていないメモリセルトランジスタアレイ110があったとしても、現在行っている追加書き込み動作までで動作を終了させる。

【0103】

このとき現在行っている追加書き込み動作が終わるまで、レディー・ビジー出力／割り込み入力回路からビジー状態であることを示す信号を出力し、終了した後レディー信号を出力することで、別の命令を受け付ける準備ができていることを上位装置に知らせる。上位装置からの新たな命令を受け、EEPROM900はデータの読み出し動作を行う。

【0104】

その後、上位装置がEEPROM900にアクセスしなくなると、EEPROM900は、再び追加書き込み動作を行う。このとき書き込みフラグを読み出すことで、どのアドレスがまだ一時書き込みしかできていないかを判別し、追加書き込みを行う必要のある書き込みブロックのみに追加書き込み動作を行う。

【0105】

このため、既に追加書き込みを行った書き込みブロックに対して、更に追加で書き込んでしまうという誤った動作を無くすることができ、効率的にデータの追加書き込み動作を行うことができる。

【0106】

また同時にメモリセルトランジスタアレイ 110 に不必要な電圧を印加せずにするので、メモリセルの信頼性を向上させることもできる。

【0107】

更に、上位装置からは、書き込み時に一時書き込みに必要な時間しか待つ必要がなく、追加書き込み途中でも作業を中断して、データの読み出し等、他の動作を行うことができる。

【0108】

(第10の実施形態)

以下、本発明に係る第10の実施形態について図20に基づいて説明する。

図20は、第11の実施形態によるEEPROMの構成図である。

図20に示すように、EEPROM1000は、ワード線電圧切り替え回路1041のみが本発明の第1の実施形態、または、第9の実施形態と異なり、それ以外は、本発明の第1の実施形態、または、第9の実施形態において説明した同符号のものと同様の構成を有する。

【0109】

また、EEPROM1000は、外部からの信号により制御され、データの記憶・読み出しを行う。

160は制御回路であり、EEPROM1000の読み出しや書き込み動作を制御する。161は書き込み動作選択回路であり、EEPROM1000への書き込み時に、通常書き込み動作、または、通常書き込み動作より短い時間で行われる一時書き込み動作、のどちらかの動作を選択して制御する。

【0110】

162は書き込み時間制御回路であり、書き込み動作選択回路161の動作選択を受けて、通常書き込み動作時間、または、一時書き込み動作時間を制御する。110はトランジスタアレイであり、電氣的に消去又は書き込みが可能であ

る。

【0111】

990は書き込みフラグであり、書き込み動作選択回路161により選択された、通常書き込み動作、または、通常書き込み動作より短い時間で行われる一時書き込み動作、のどちらで書き込みを行ったかを書き込みブロック単位ごとに記憶する。

150は高電圧制御回路であり、制御回路160から入力される制御信号を受けてメモリセルトランジスタアレイ110に印加する高電圧を制御する。140はアドレスデコーダ回路であり、メモリセルトランジスタアレイ110を選択して動作時に高電圧制御回路150から入力される高電圧をメモリセルトランジスタアレイ110に印加する。

【0112】

141はワード線電圧切り替え回路であり、高電圧制御回路150から入力された高電圧を前記アドレスデコーダ回路140で指定されたメモリセルトランジスタアレイ110内のあるワード線に対して所定の電圧を印加する。120はセンスアンプ回路であり、メモリセルトランジスタアレイ110のデータおよび書き込みフラグ990の読み出しを行う。

【0113】

130はデータラッチ回路であり、メモリセルトランジスタアレイ110に書き込むデータおよび、書き込みフラグ990に書き込むデータを一時保持する。180は入力データ切り替え回路であり、センスアンプ回路120からの出力データと制御回路160からの書き込みデータのどちらかを書き込みデータラッチ回路130に入力するための制御を行う。

【0114】

170は出力データ切り替え回路であり、センスアンプ回路120から出力されたデータを外部へ出力させるか、または入力データ切り替え回路180に出力させるかを切り替える。

【0115】

したがって、書き込みフラグ990によってメモリセルトランジスタアレイ1

10に書き込まれた状態が、通常書き込み状態か、または、一時書き込み状態か、のどちらであるかを書き込みブロック単位ごとに管理することができる。

【0116】

ここで、一時書き込み状態のメモリセルは、メモリセルへの書き込みは短時間で済むという利点はあるが、書き込みが浅いために、センスアンプ回路120がデータを判定するのが遅くなり、結果的に読み出し速度が遅くなるという欠点がある。

【0117】

このため、書き込みフラグ990内のデータを読み出し時に事前に読み出し、一時書き込み状態のメモリセルであれば、ワード線電圧切り替え回路によりワード線に印加する読み出し電圧を変更することで、読み出し速度を速くすることができる。このため使用者は、一時書き込みを行うことによって生じる、メモリセルの読み出し速度の劣化を考慮することなく、通常と同じ読み出し速度でEEPROM100を使用することができる。

【0118】

(第11の実施形態)

以下、本発明に係る第11の実施形態について図21に基づいて説明する。

図21は、第11の実施形態によるEEPROMの構成図である。

【0119】

図21に示すように、EEPROM1100は、EEPROM_A1101、EEPROM_B1102、セクタ1112、制御信号S1100、S1110、S1120、データバスDB1100、DB1110、DB1120、アドレスバスAB1100、AB1110、AB1120のみが本発明の第1の実施形態と異なり、それ以外は、本発明の第1の実施形態において説明した同符号のものと同様の構成を有する。

【0120】

EEPROM1100は、外部からの信号により制御され、データの記憶・読み出しを行う。1112はセクタであり、1101、1102はそれぞれEEPROM_A、EEPROM_Bである。前記EEPROM1100に入力され

た外部からの信号を受けてセクタ1112は、EEPROM_A1101、EEPROM_B1102の制御を独立して行う。

【0121】

従来の回路構成であれば、EEPROM_A1101、EEPROM_B1102の全メモリセルトランジスタアレイにデータの書き込みを行う場合、通常書き込み動作を全メモリセルトランジスタアレイに対して行う必要があるため、使用者は全データが書き込まれるまで待つ必要があった。

【0122】

このため、本構成のように、まず一時書き込み動作を行い、全メモリセルトランジスタアレイにデータを書き込む。

その後、EEPROM_A1101が動作している場合は、EEPROM_B1102が、またEEPROM_B1102が動作している場合は、EEPROM_A1101がバックグラウンドでメモリセルトランジスタアレイにデータの追加書き込みを行うため、使用者がEEPROM1100の全空間にデータを書くのに要する時間は、一時書き込み動作による書き込み時間だけとなる。

したがって、データの書き込み時間に対する使用者の待ち時間を少なくすることができ、より効率的にEEPROM1100を使用することができる。

【0123】

(第12の実施形態)

以下、本発明に係る第12の実施形態について図22に基づいて説明する。

図22は、第12の実施形態によるEEPROMの構成図である。

【0124】

図22に示すように、EEPROM1200は、ECC回路10100、ECC出力信号S1202のみが本発明の第1の実施形態と異なり、それ以外は、本発明の第1の実施形態において説明した同符号のものと同様の構成を有する。

【0125】

EEPROM1200は、外部からの信号により制御され、データの記憶・読み出しを行う。160は制御回路であり、EEPROM1200の読み出しや書き込み動作を制御する。

161は書き込み動作選択回路であり、EEPROM1200への書き込み時に、通常書き込み動作、または、一時書き込み動作、のどちらかの動作を選択して制御する。

162は書き込み時間制御回路であり、書き込み動作選択回路161の動作選択を受けて、通常書き込み動作時間、または通常書き込み動作時間より短い書き込み動作時間を制御する。110はトランジスタアレイであり、電氣的に消去又は書き込みが可能である。

150は高電圧制御回路であり、制御回路160から入力される制御信号を受けてメモリセルトランジスタアレイ110の消去又は書き込み用高電圧を制御する。

【0126】

140はアドレスデコード回路であり、メモリセルトランジスタアレイ110を選択して消去又は書き込み動作時に、高電圧制御回路150から入力される高電圧をメモリセルトランジスタアレイ110に印加する。120はセンスアンプ回路であり、メモリセルトランジスタアレイ110のデータの読み出しを行う。

【0127】

130はデータラッチ回路であり、メモリセルトランジスタアレイ110に書き込むデータを一時保持する。

180は入力データ切り替え回路であり、センスアンプ回路120からの出力データと制御回路160からの書き込みデータとのうち、どちらかのデータを書き込みデータラッチ回路130に入力するための制御を行う。

170は出力データ切り替え回路であり、センスアンプ回路120から出力されたデータを外部へ出力させるか、またはデータ切り替え回路180に出力させるかを切り替える。

【0128】

10100はECC回路であり、データ書き込み時に実際に書き込むデータからエラー訂正用ビットを発生させ、メモリセルトランジスタアレイ110に実際のデータと共にエラー訂正用データの書き込みを行う。

読み出し時には、実際のデータとエラー訂正用データを同時に読み出し、デー

タが誤って読み出された場合にデータの演算処理を行うことで、その誤ったデータを正常なデータに訂正して、外部に出力する。

【0129】

したがって、もし、通常書き込み動作より短い時間の書き込み動作を行うことで、十分なデータの書き込みが行われずに、読み出したデータがセンスアンプ回路120により、誤ったデータを出力したとしても、ECC回路10100により正常なデータに訂正して、外部に出力することができる。

また、ECC回路10100により、読み出したデータを訂正したことが検出された場合には、そのアドレスのデータに対して、正常なデータを追加書き込むような処理を行うことで、一時書き込みに対してEEPROM1200のデータの信頼性も向上させることができる。

【0130】

【発明の効果】

以上詳述したように、本発明に係る半導体不揮発性記憶装置によれば、同一の不揮発性メモリセルトランジスタアレイに対する書き込み方式として、一時書き込み動作と追加書き込み動作の2種類を行うことが可能とすることで、上位装置からの書き込み命令に対しては一時書き込み動作により書き込み時間を短縮し、かつ、その後の追加書き込みによりデータの信頼性も確保する効果がある。

なお、複数の実施形態の組み合わせによって、上位装置に対する更なる書き込み時間の短縮の効果があることは云うまでもない。

【図面の簡単な説明】

【図1】

第1の実施形態による半導体不揮発性記憶装置の構成図である。

【図2】

(a) フローティングゲート型メモリセルトランジスタの断面図、(b) メモリセルトランジスタアレイの構成図である。

【図3】

第1の実施形態による、(a) 書き込み状態しきい値電圧の書き込み時間依存性を示す図、(b) しきい値電圧分布図、(c) メモリセル電流のワード線電圧

依存性を示す図である。

【図 4】

第 2 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 5】

第 2 の実施形態による、(a) しきい値電圧分布図、(b) しきい値電圧分布図である。

【図 6】

第 3 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 7】

第 3 の実施形態による、(a) 書き込み状態しきい値電圧の書き込み時間依存性と書き込み電圧依存性を示す図、(b) しきい値電圧分布図、(c) メモリセル電流のワード線電圧依存性を示す図である。

【図 8】

第 4 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 9】

第 4 の実施形態によるしきい値電圧分布図である。

【図 10】

第 5 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 11】

第 5 の実施形態による、(a) 書き込み状態しきい値電圧の書き込み時間依存性、(b) しきい値電圧分布図である。

【図 12】

第 6 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 13】

第 6 の実施形態による、(a) しきい値電圧分布図、(b) 書き込み状態しきい値電圧の書き込み時間依存性と書き込み電圧依存性である。

【図 14】

第 6 の実施形態による、(a) メモリセル電流のワード線電圧依存性、(b) メモリセル電流のワード線電圧依存性である。

【図 15】

第 7 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 16】

第 7 の実施形態による半導体不揮発性記憶装置の書込みデータラッチ回路、ビット線電位検知回路およびラッチ反転回路の構成を示す回路図である。

【図 17】

第 7 の実施形態によるしきい値電圧分布図である。

【図 18】

第 8 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 19】

第 9 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 20】

第 10 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 21】

第 11 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 22】

第 12 の実施形態による半導体不揮発性記憶装置の構成図である。

【図 23】

従来の半導体不揮発性記憶装置の構成図である。

【図 24】

従来の半導体不揮発性記憶装置におけるしきい値電圧分布図である。

【符号の説明】

- 1 コントロールゲート
- 2 フローティングゲート
- 3 トンネル酸化膜
- 4 ソース
- 5 ドレイン
- 6 基板
- 7 メモリセルトランジスタ素子

8 ワード線

9 ソース線

10 ビット線

100, 200, 300, 400 EEPROM (半導体不揮発性記憶装置)

500, 600, 700, 800 EEPROM (半導体不揮発性記憶装置)

900, 1000, 1100, 1200 EEPROM (半導体不揮発性記憶装置)

101 EEPROM用インタフェース回路

110 メモリセルトランジスタアレイ

120 センスアンプ回路

130 書き込みデータラッチ回路

140 アドレスデコーダ回路

150 高電圧制御回路

160 制御回路

161 書き込み動作選択回路

162 書き込み時間制御回路

170 出力データ切り替え回路

180 入力データ切り替え回路

S102 書き込み動作選択信号

DB101、DB102 書き込みデータバス

DB103、DB104 ビット線

DB105、DB107 読み出しデータ転送バス

DB106 書き込みデータ転送バス

AB102 ワード線

241 ワード線電圧制御回路

262 ベリファイ動作制御回路

290 ベリファイ回路

S200 ワード線電圧制御信号

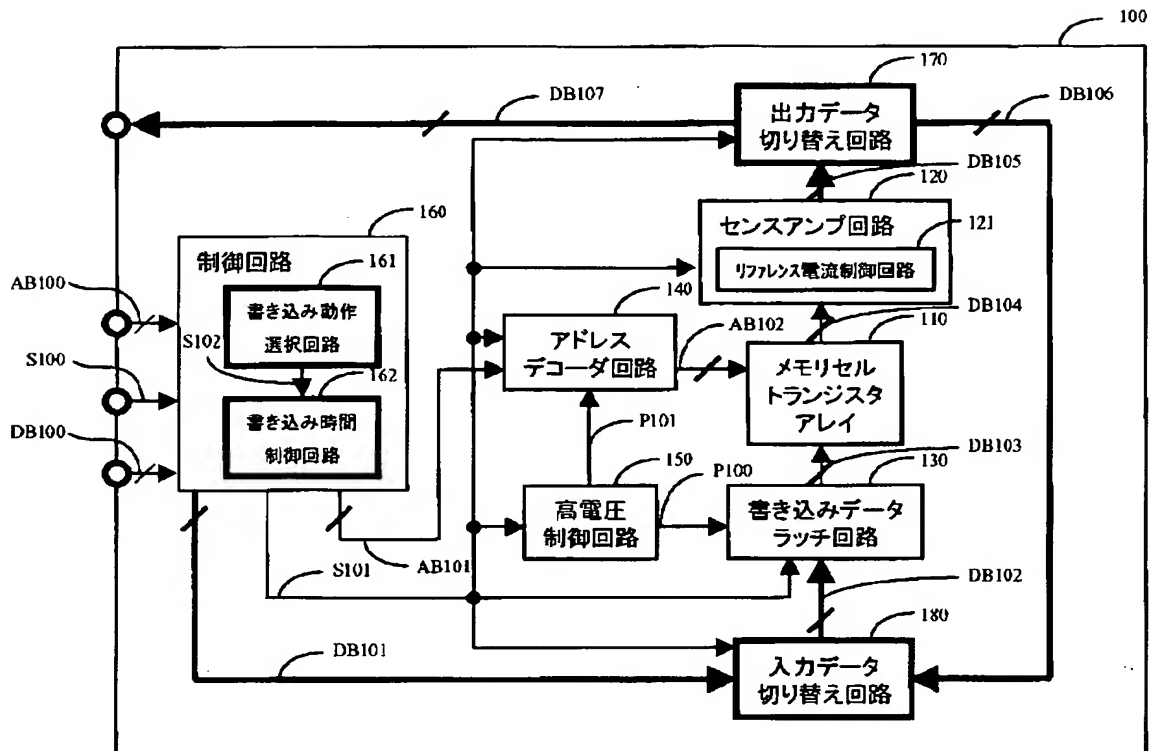
S201 ベリファイ判定結果出力信号

DB200, DB201 ベリファイ用データバス
362 書き込み電圧設定回路
S300 ワード線電圧制御信号
S301 ビット線電圧制御信号
461 消去動作選択回路
462 消去時間制御回路
S400 消去動作選択信号
561 読み出し動作選択回路
562 読み出し電圧設定回路
S500 ワード線電圧制御信号
662 リファレンス電流設定回路
S600 リファレンス電流設定信号
730 書き込みデータラッチ回路
731 ラッチ
732 トランスファークローク
740 ビット線電位検知回路
S702 ラッチ反転信号
S742 制御信号
S751 データ反転信号
863 レディー・ビジー出力／割り込み入力回路
S800 レディー・ビジー出力／割り込み入力制御信号
S801 レディー・ビジー出力信号
S802 書き込み時間制御信号
990 書き込みフラグ
DB909 書き込みフラグ読み出しデータバス
1041 ワード線電圧切り替え回路
1101 EEPROM_A
1102 EEPROM_B
1112 セレクタ

S1100, S1110, S1120 制御信号
DB1100, DB1110, DB1120 データバス
AB1100, AB1110, AB1120 アドレスバス
10100 ECC回路
S1202 ECC出力信号
1300 SRAM
1301 SRAM用インタフェース回路
1310 メモリセルトランジスタアレイ
1320 センスアンプ回路
1330 書き込みデータラッチ回路
1340 アドレスデコーダ回路
1350 高電圧制御回路
1360 制御回路

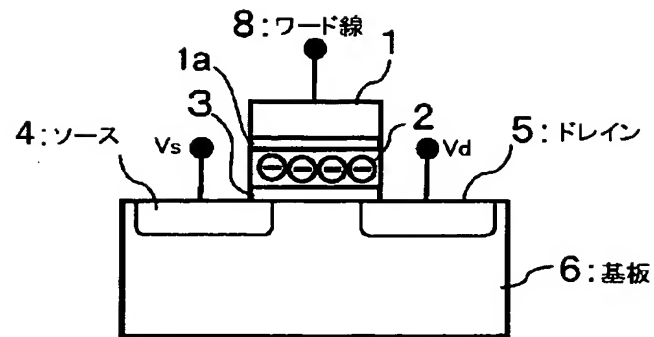
【書類名】 図面

【図 1】

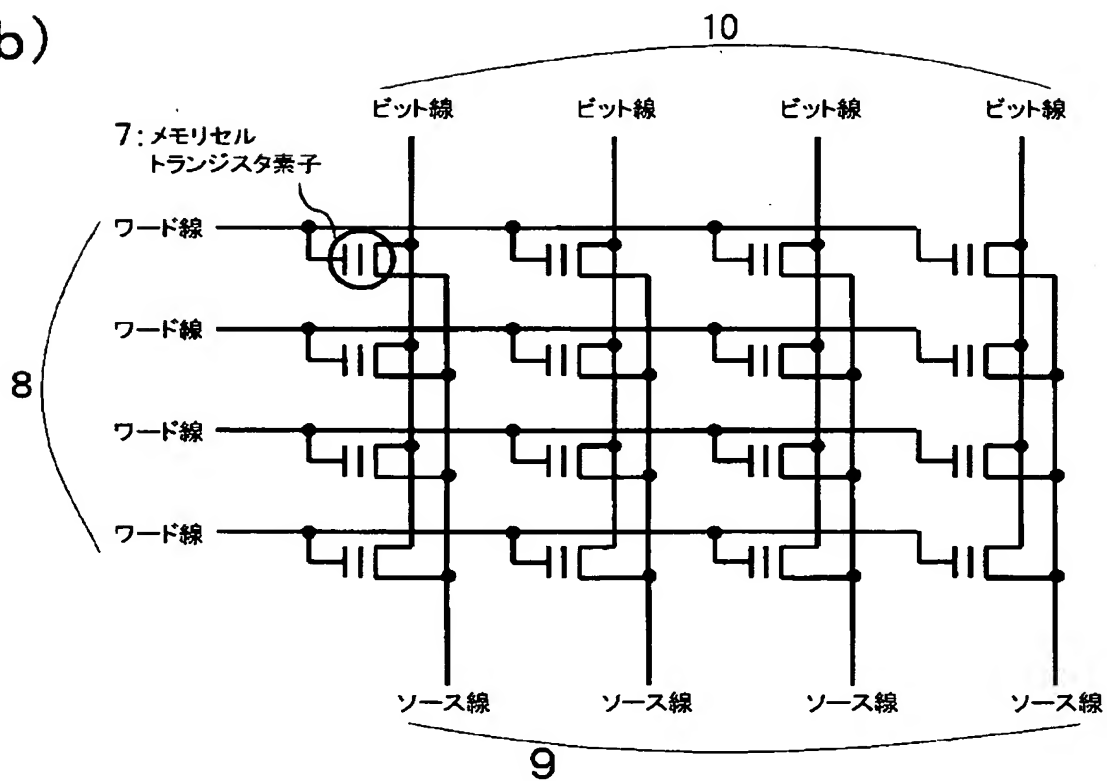


【図 2】

(a)

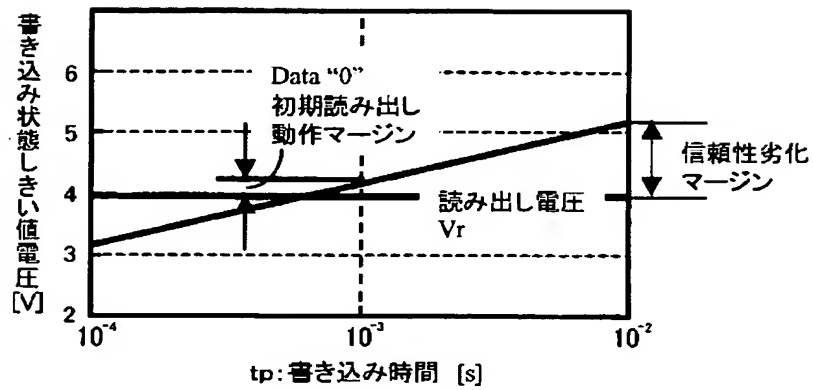


(b)

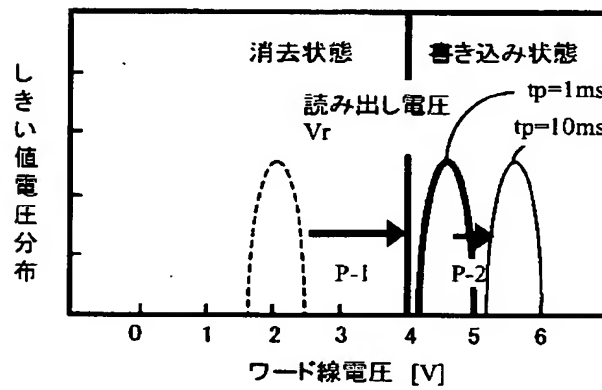


【図 3】

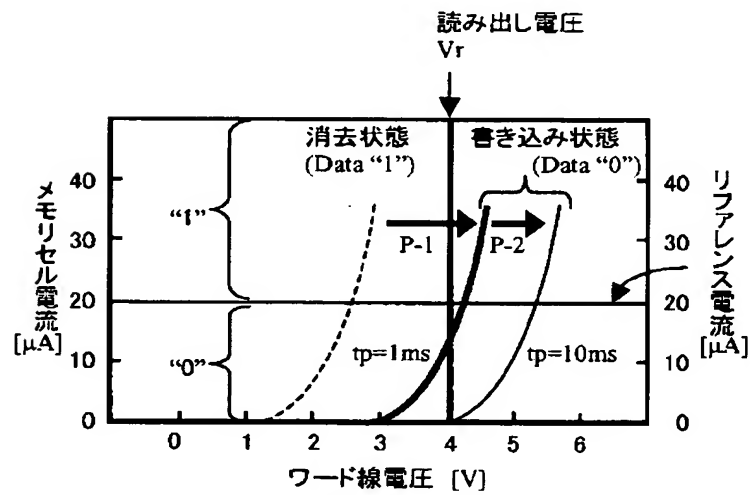
(a)



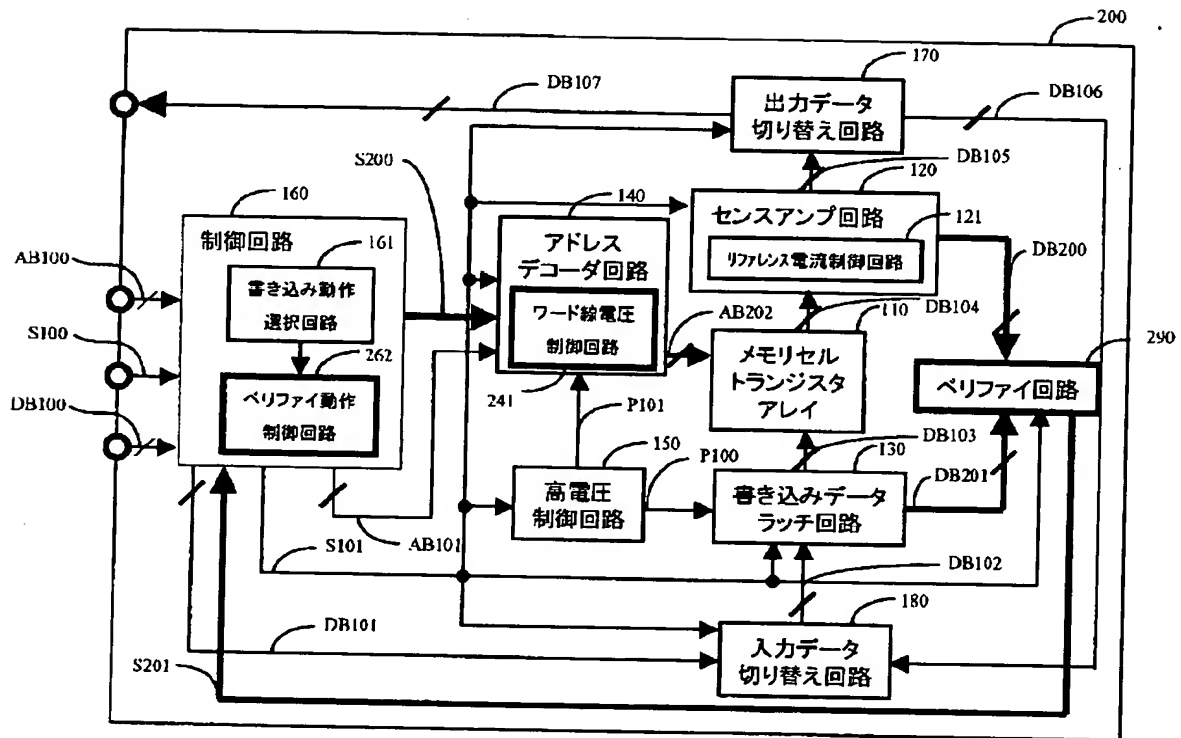
(b)



(c)

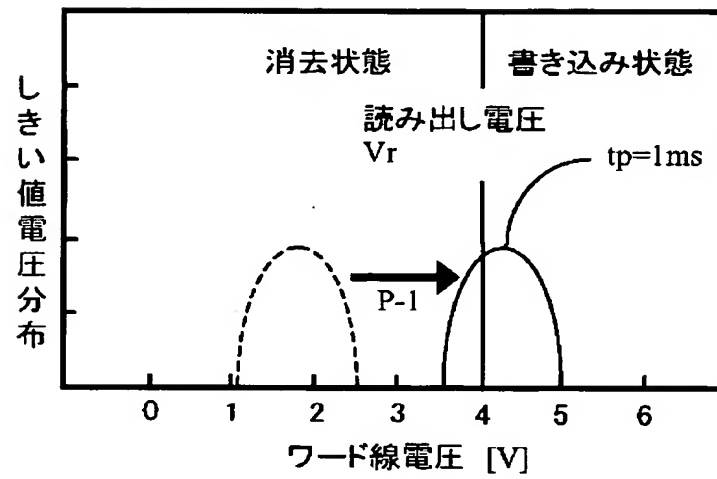


【図 4】

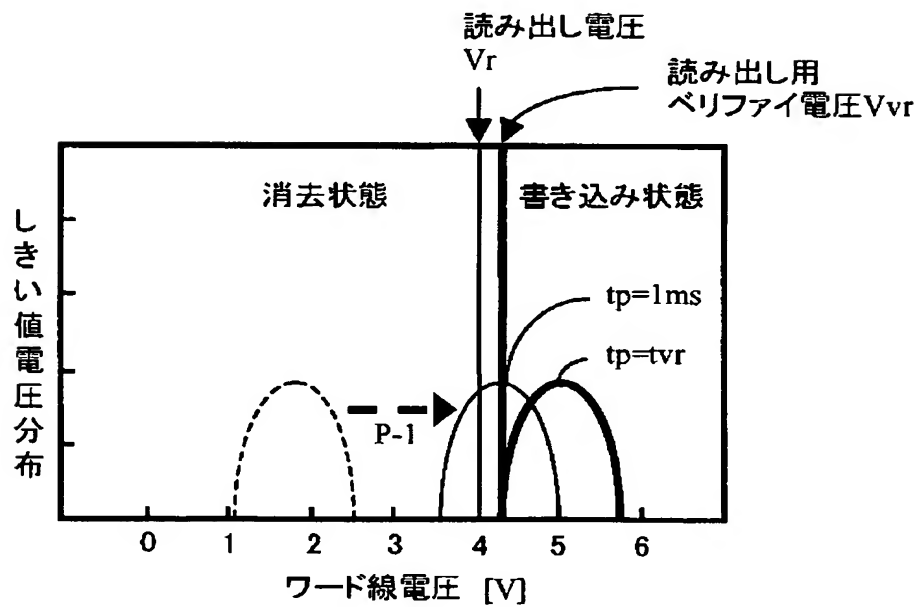


【図 5】

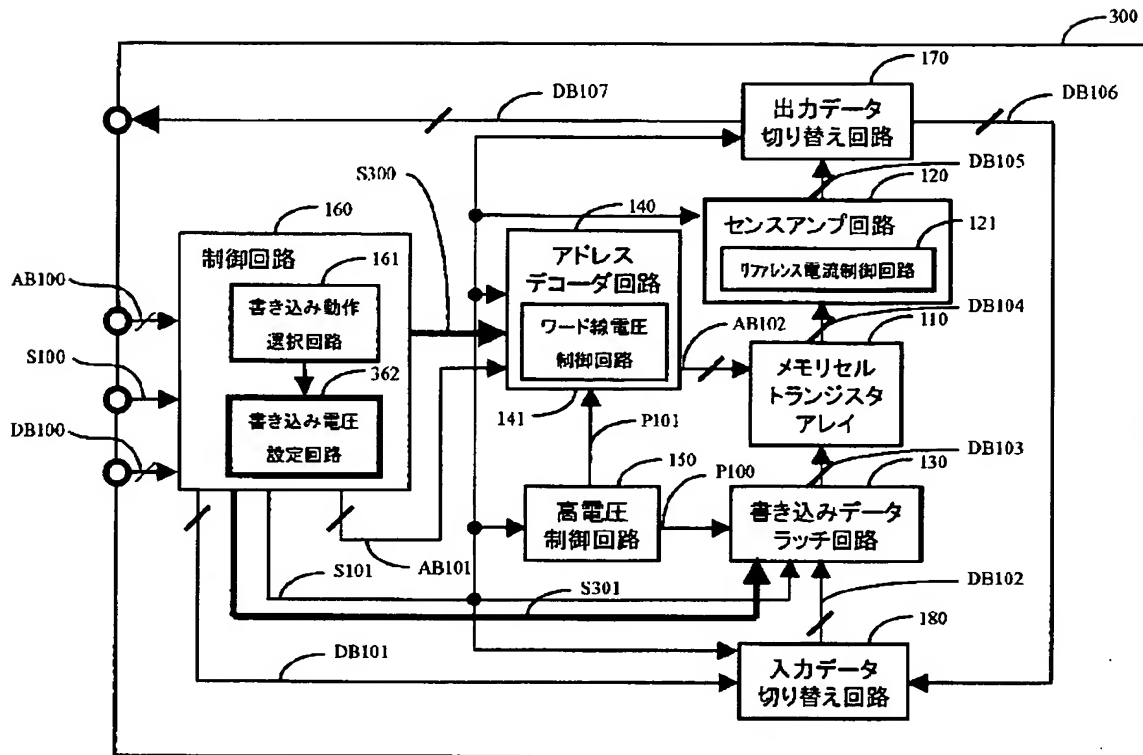
(a)



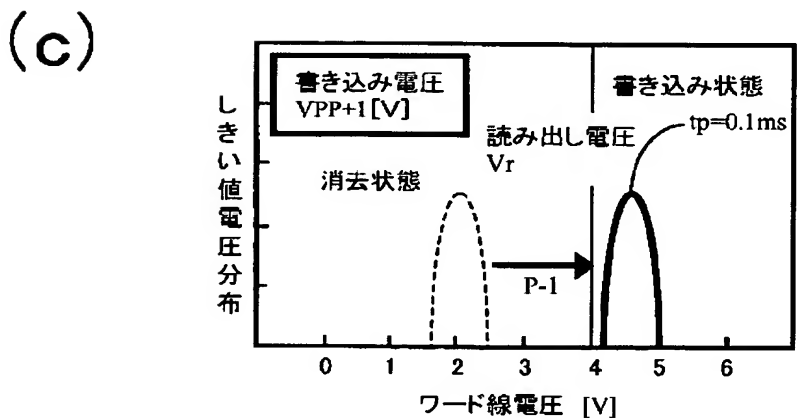
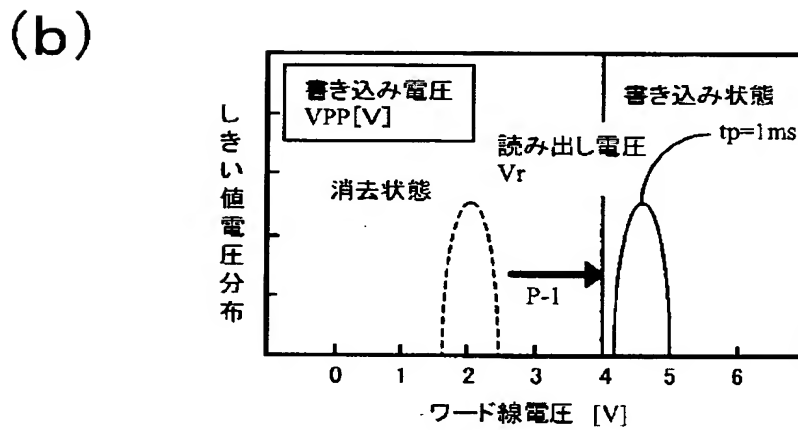
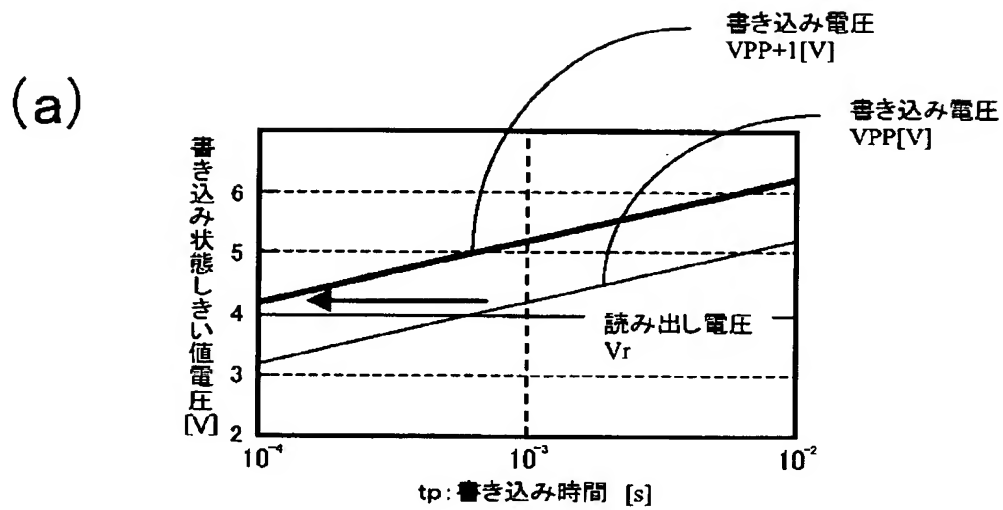
(b)



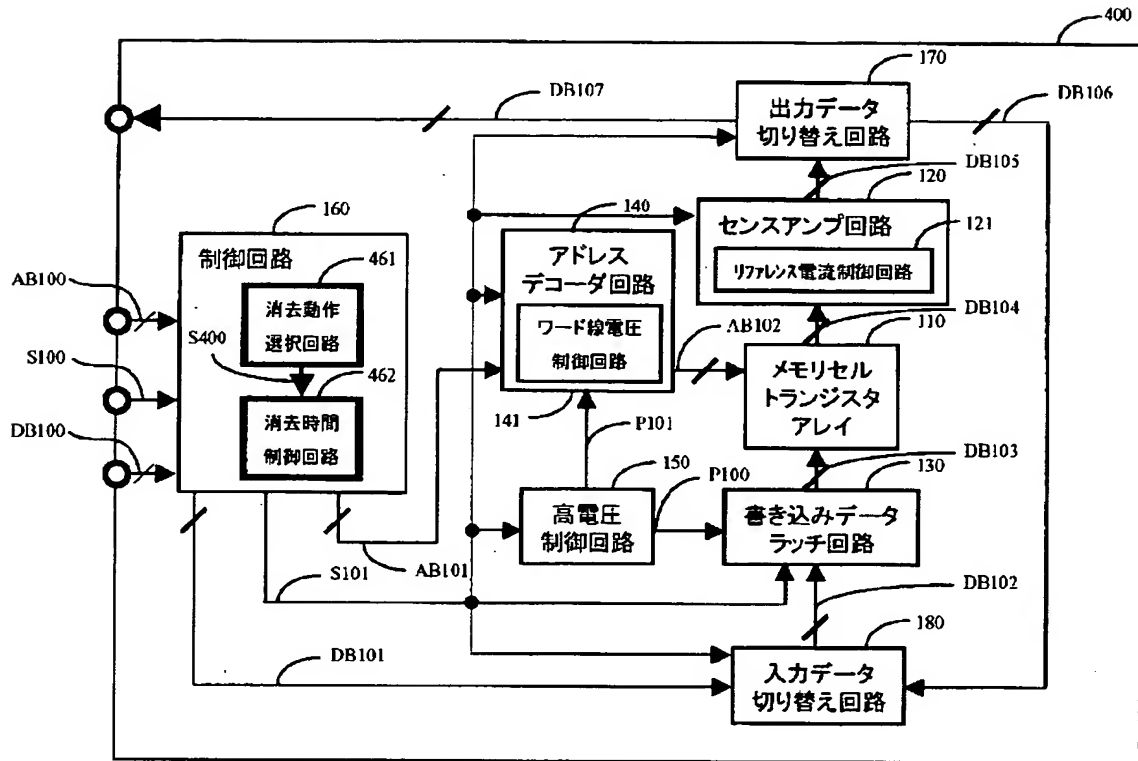
【図 6】



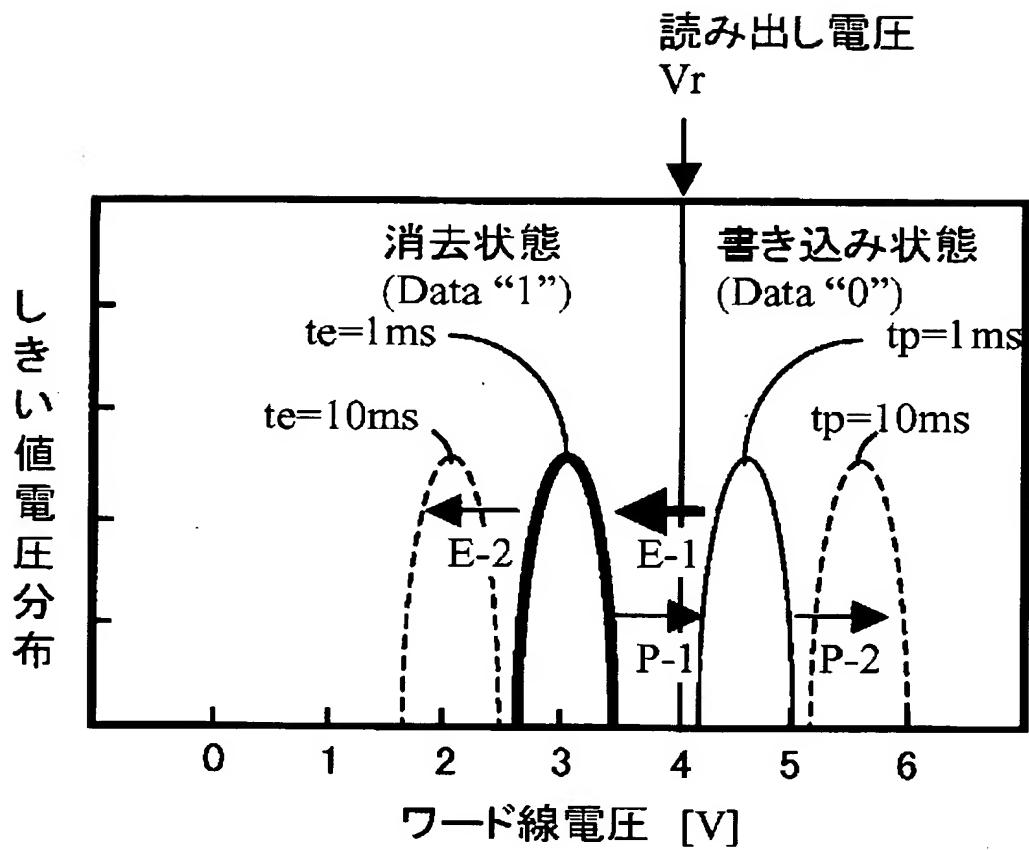
【図 7】



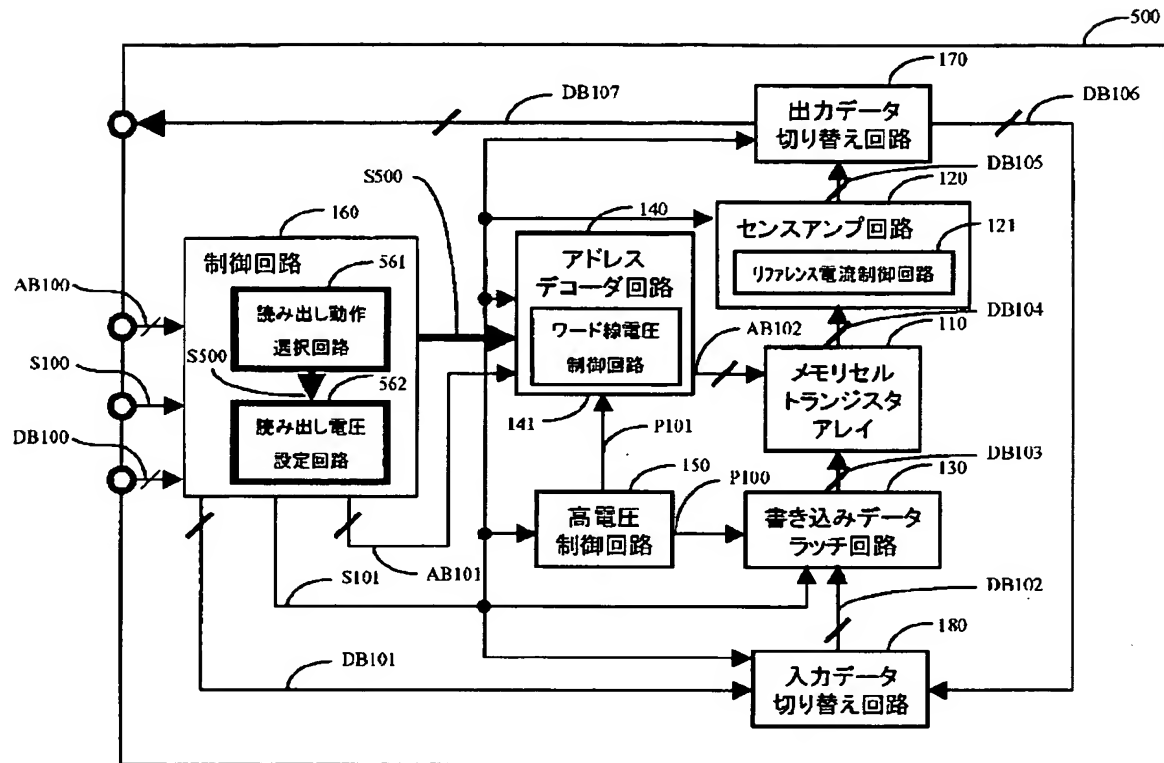
【図 8】



【図9】

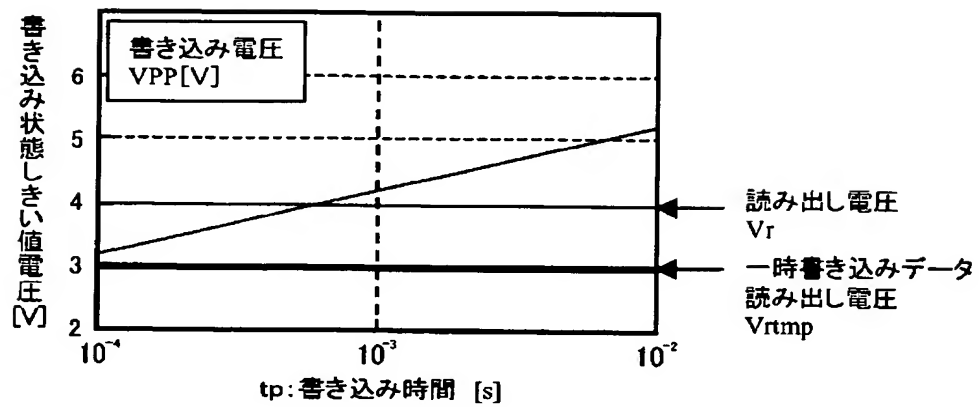


【図 10】

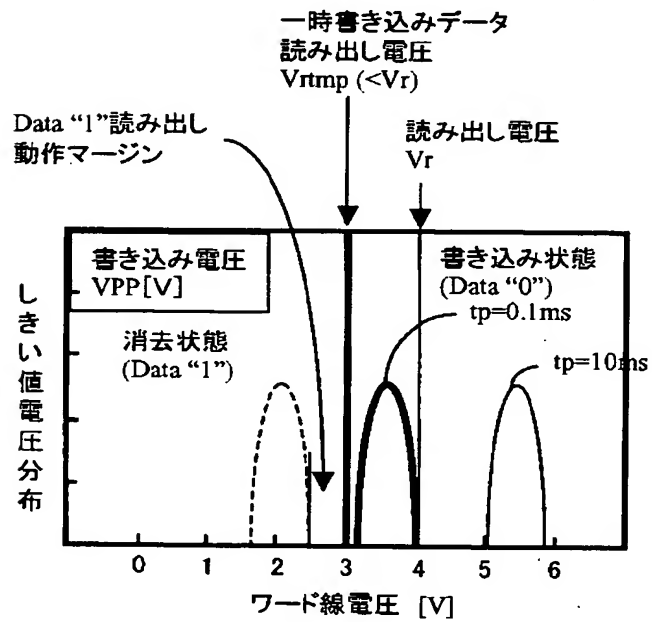


【図 11】

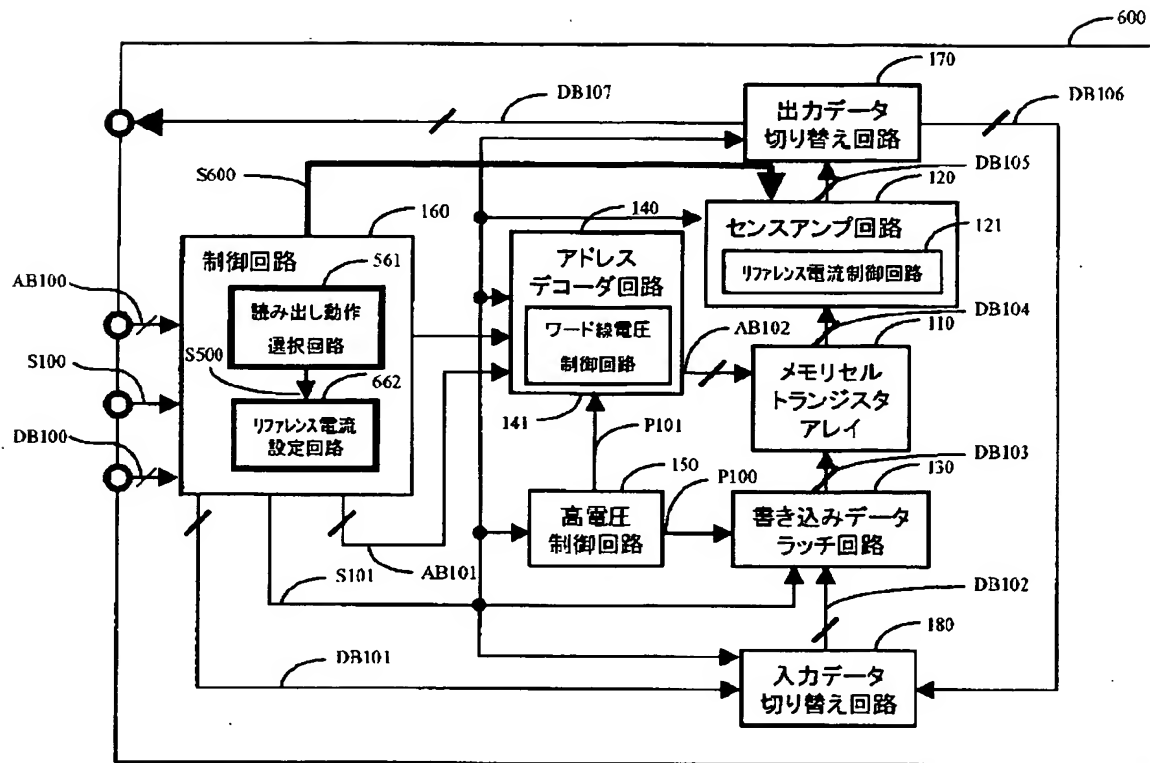
(a)



(b)

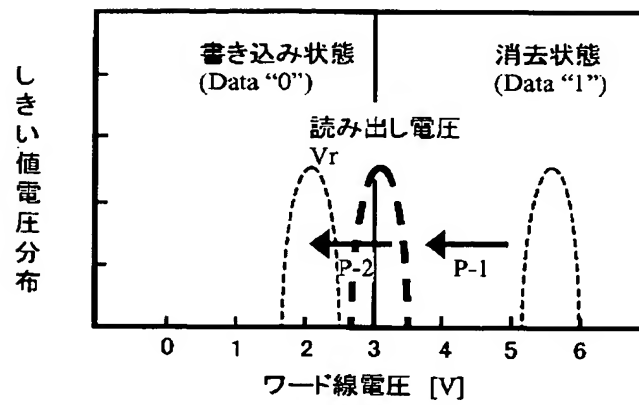


【図 12】

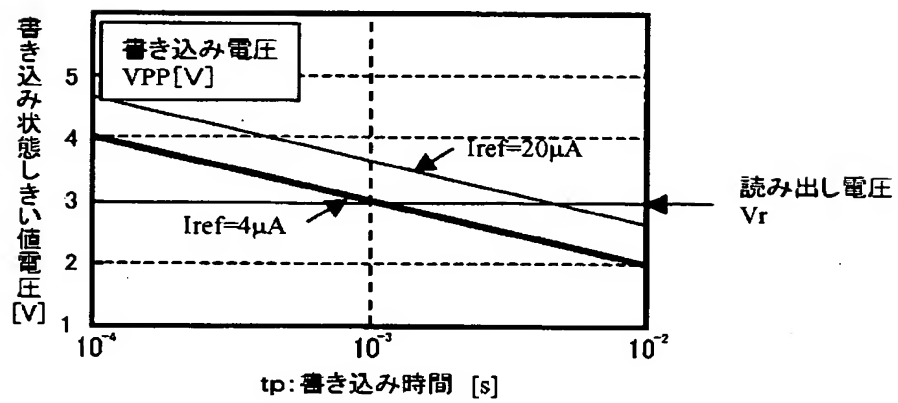


【図 13】

(a)

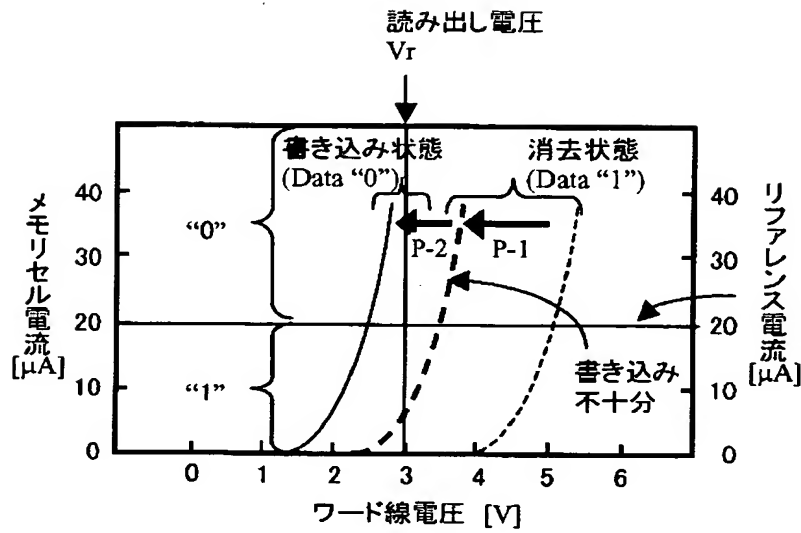


(b)

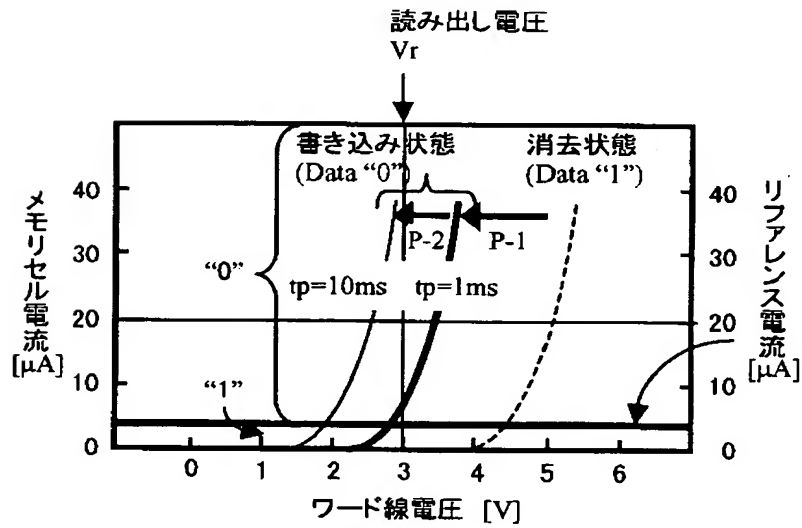


【図 14】

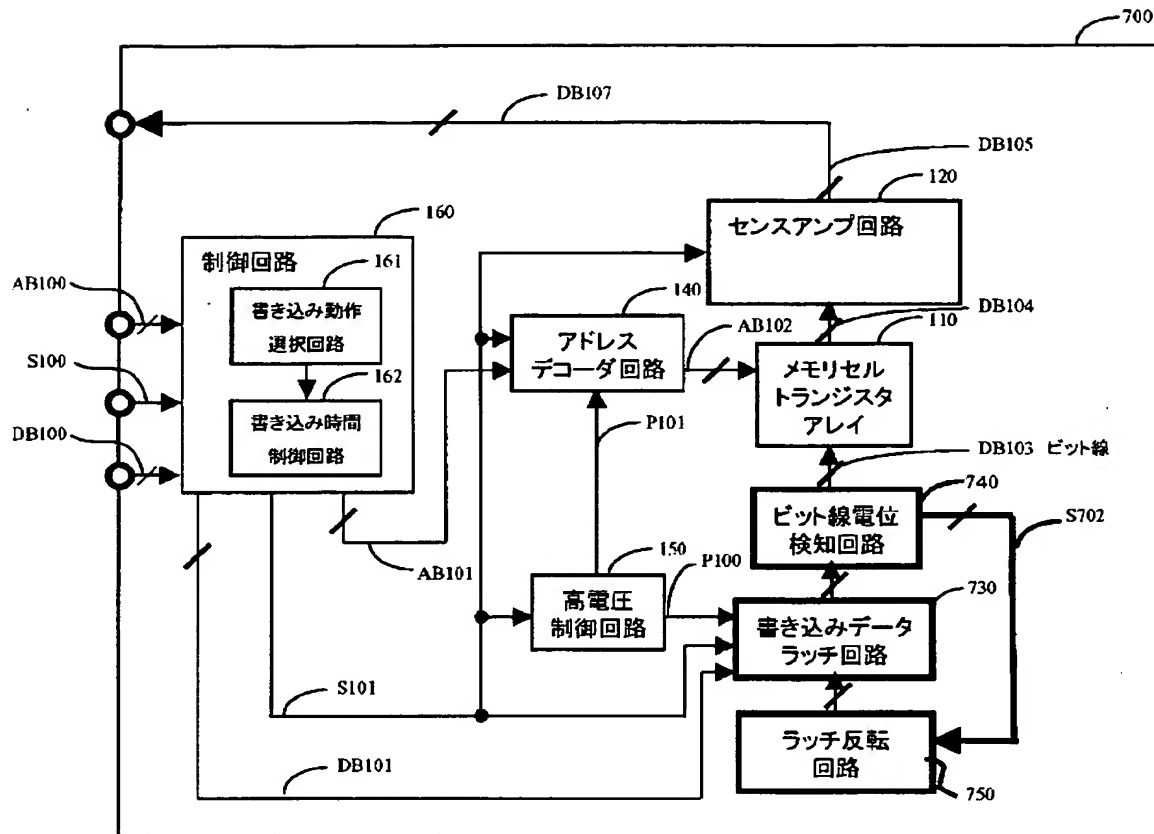
(a)



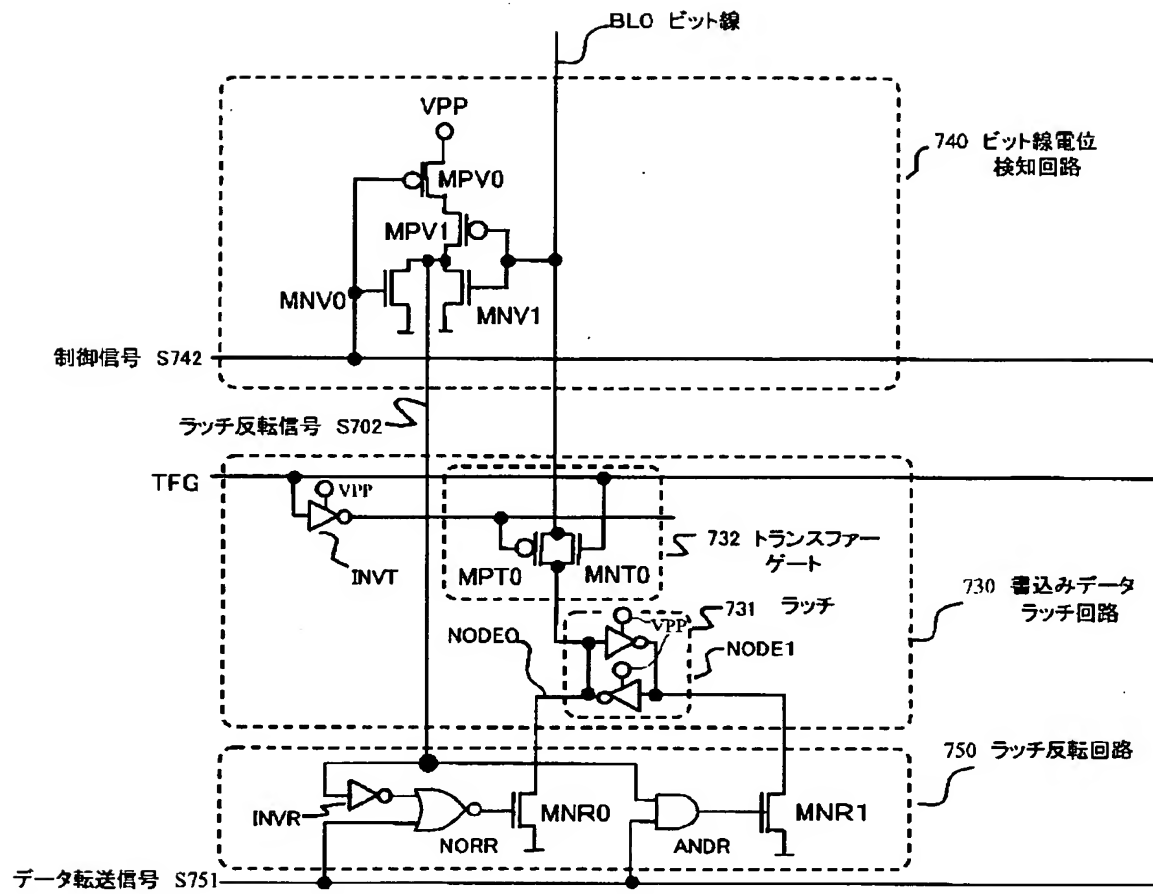
(b)



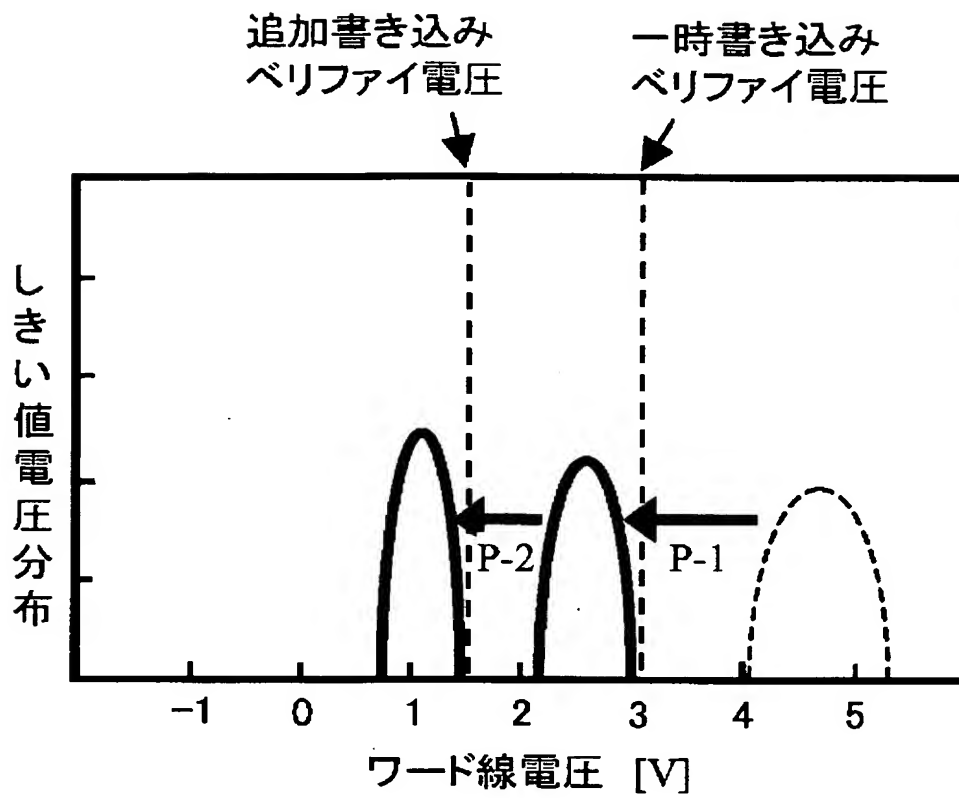
【図 15】



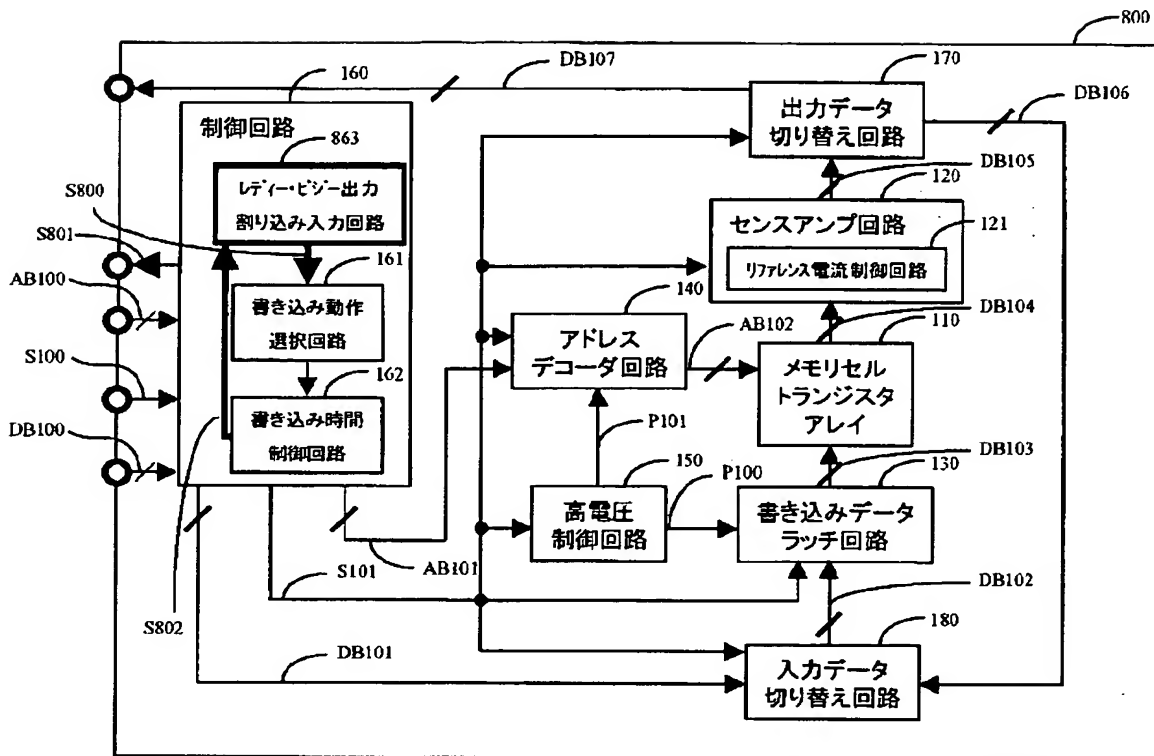
【図 16】



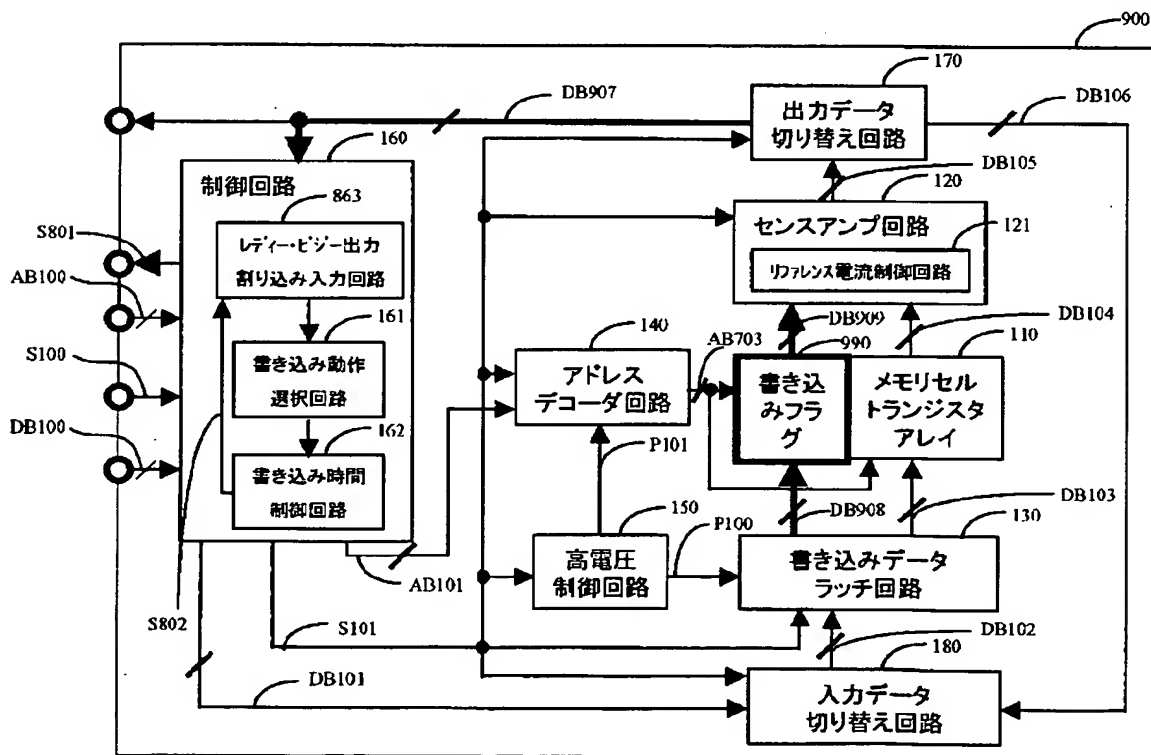
【図 17】



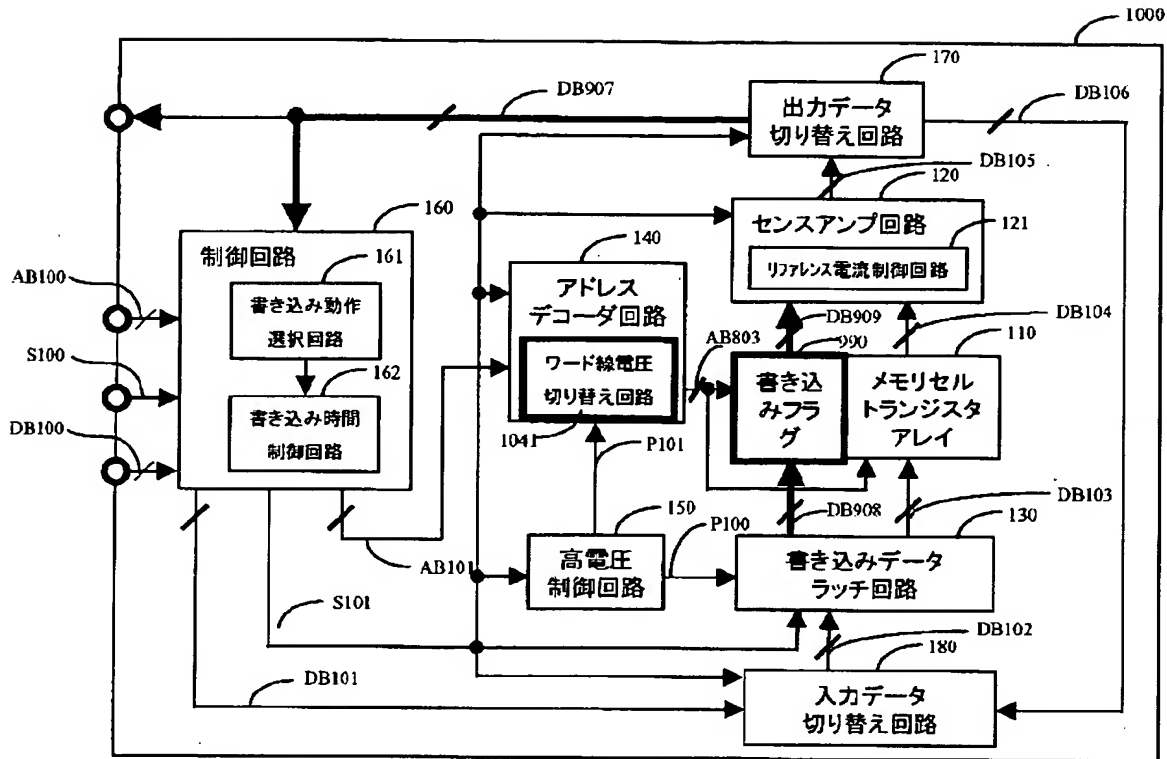
【図 18】



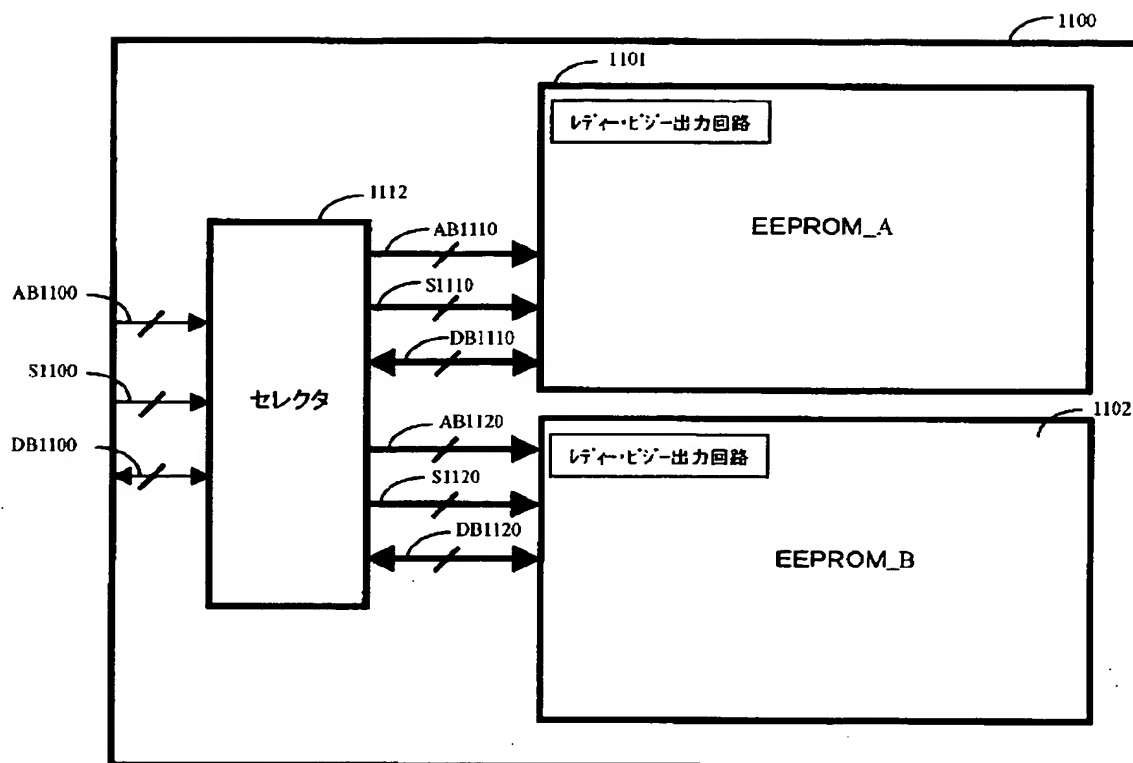
【図 19】



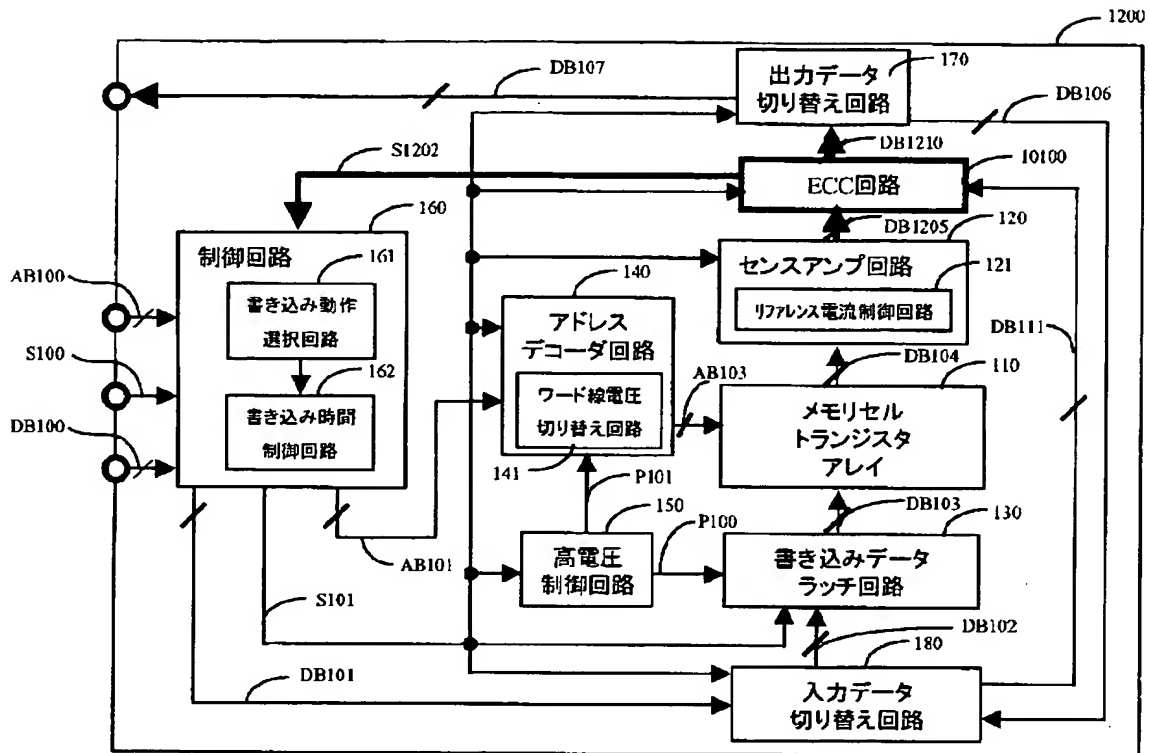
【図 20】



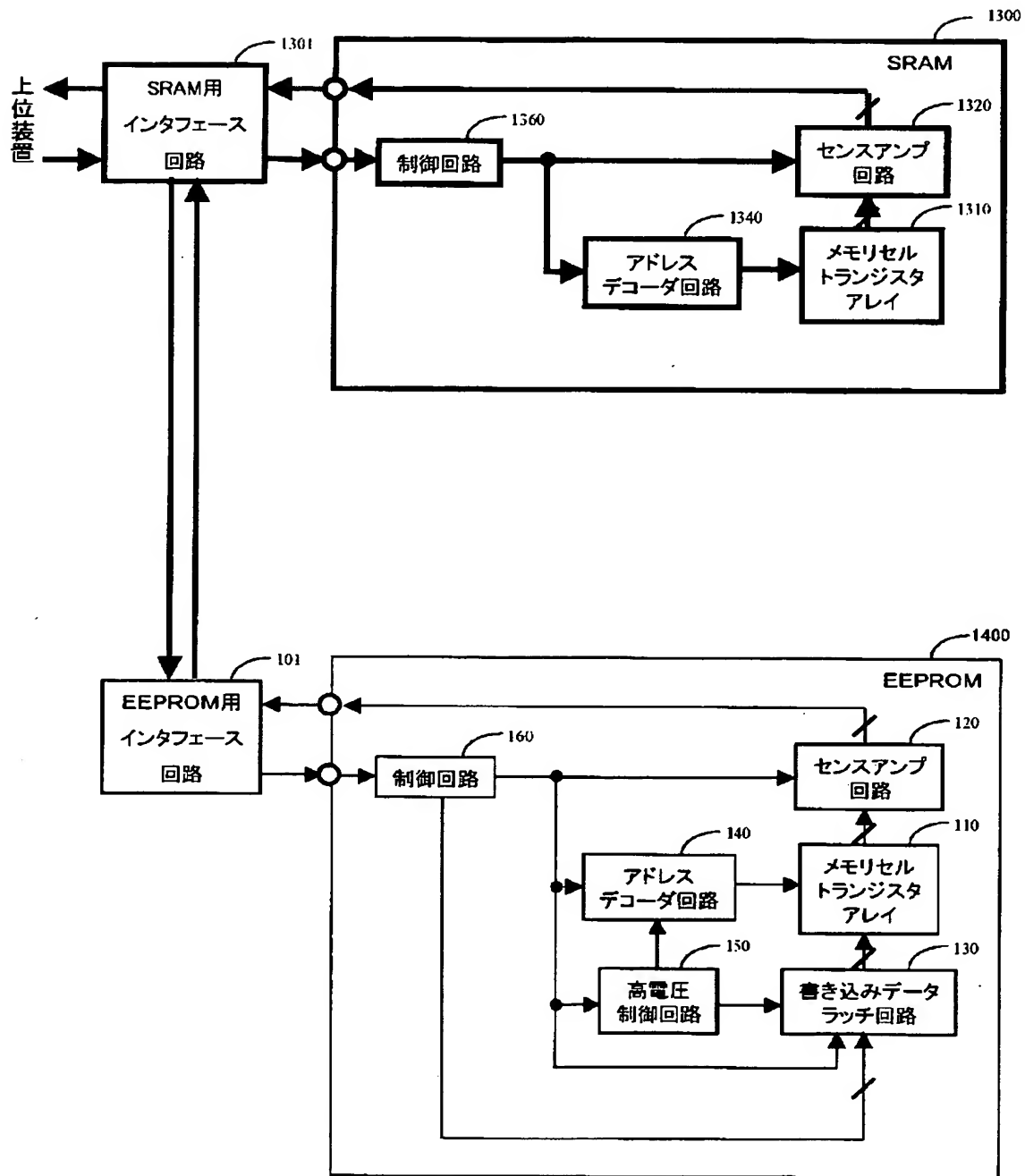
【図 21】



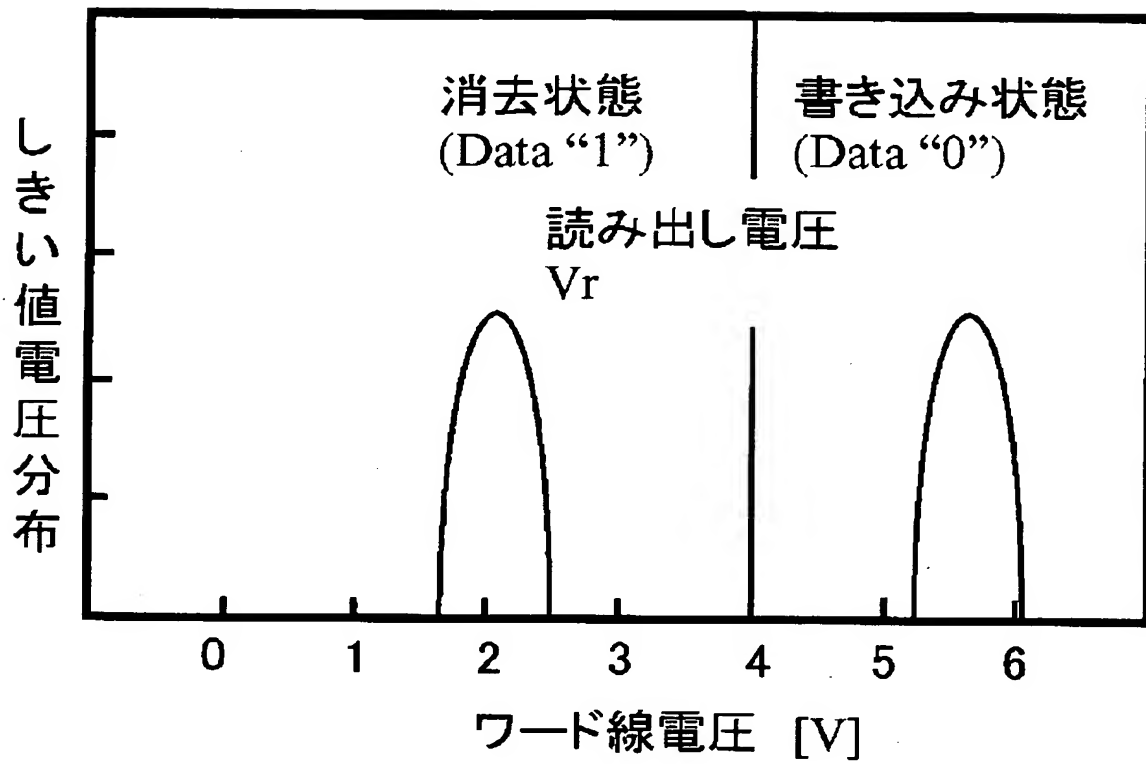
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 補助メモリ（SRAM等）を合わせ持たずに、上位装置からの書き込みに要する時間を大幅に短縮することができる半導体不揮発性記憶装置を提供する。

【解決手段】 メモリセルトランジスタ素子7に対して一定の書き込み時間を有する一時書き込み動作と、メモリセルトランジスタ素子7に対する追加書き込み動作と、を選択する書き込み動作選択回路161を備え、書き込み動作選択回路161の出力信号S102によって、追加書き込み動作時間を制御する書き込み時間制御回路162を備えた。

【選択図】 図1

特願 2 0 0 3 - 0 4 4 7 0 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社